



# Manuel d'applications **VMOS**



80, Rue d'Arcueil  
Silic 137 - 94523 RUNGIS Cedex

**687-23-13**

Télex 204674

  
**Siliconix**

**Septembre 1980**

## **MANUEL D'APPLICATIONS VMOS**

**Auteurs :**

Arthur Evans  
Barry Harrey  
Walt Heinzer  
Dare Hoffman  
Bill Roehr  
Lee Shaeffer  
Alexander Strong

**Traduction :**

André Filleau  
Claude Alemany

Siliconix n'assume aucune responsabilité quant à la protection éventuelle de brevets des circuits ou des dispositifs décrits dans les notes d'applications et se réserve le droit d'apporter des modifications sans préavis.

## SOMMAIRE

Qu'est-ce qu'un transistor VMOS de puissance .....	5
Domaines d'applications possibles des transistors VMOS de puissance ...	9
AN 76-3	
VMOS - un nouveau concept dans le domaine de la puissance .....	11
AN 77-2	
VMOS - Une solution pour les commutateurs analogiques grande vitesse, fort courant, faible résistance .....	25
AN 79-1	
Régulateur de puissance à découpage 500 kHz 12 V/± 20 V .....	31
AN 79-2	
Régulateur de moteur triphasé .....	33
AN 79-3	
Caractéristiques dynamiques d'entrée des transistors VMOS .....	37
AN 79-4	
Comment commander les transistors VMOS de puissance ? .....	41
AN 79-6	
VMOS - Utilisation dans les circuits d'interface de puissance .....	45
AN 79-7	
Applications du VN10KM .....	53
AN 80-1	
VMOS - La clé du progrès dans les alimentations à découpage .....	61
DA 80-1	
Alimentation faible coût pour applications microprocesseur.	
Construction d'une alimentation à découpage 100 kHz à sorties multiples .	75
AN 80-5	
Une autre conception de l'amplificateur de puissance. Une nouvelle topologie de circuit utilisant des VMOS offre linéarité et simplicité sans présenter de distorsion d'intermodulation transitoire .....	69
Quelques idées d'applications .....	86
TA 76-2	
VMOS - Une nouvelle technique adaptée aux domaines haute-fréquence ..	87
Bibliographie .....	92
Distributeurs .....	95

## Qu'est-ce qu'un transistor VMOS de puissance ?

### Qu'est-ce qu'un VMOS de puissance ?

Les transistors à effet de champ VMOS - Vertical Métal-Oxide-Semiconductor - combinent les avantages du transistor bipolaire de puissance avec ceux du MOSFET. Le résultat est un transistor forte puissance, haute tension et grand gain, sans temps de stockage des porteurs majoritaires, sans emballement thermique et sans second claquage; tout paramètre contribuant à une montée spectaculaire de la popularité du VMOS.

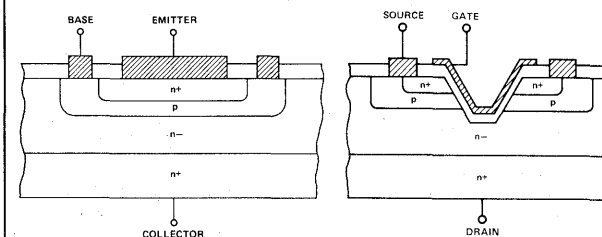
### Construction du VMOS

Durant la première phase de fabrication, le VMOS ressemble rigoureusement à un transistor bipolaire épitaxial double diffusion. Les deux procédés commencent par un substrat  $n^+$  et une couche épitaxiée  $n^-$  dans laquelle est tout d'abord diffusée une couche  $p$ , puis une couche  $n^+$ , formant ainsi une structure à 4 couches. Le trait particulier distinguant le VMOS du bipolaire comme montré figure 1, est une gravure anisotropique en V pratiquée normalement à la surface, à travers les couches  $n^+$ ,  $p$  et  $n^-$  épitaxiée. Du fait de la présence de cette entaille en V, une gate, isolée par une couche d'oxyde, recouvre la région du canal  $p$ , contrôlant ainsi le flux du courant. Celui-ci s'établit de la même façon que pour un dispositif MOSFET à enrichissement. Un potentiel positif appliqué sur la gate, provoque une inversion des porteurs de la zone  $p$ , créant un canal enrichi en électrons, s'étendant de la source  $n^+$  à la zone

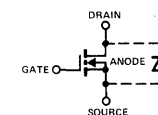
$n^-$  épitaxiée. Il en résulte la formation d'un canal de courant ininterrompu à faible résistivité, sans les problèmes thermiques associés aux transistors bipolaires de puissance classiques.

Un autre trait particulier est la liaison électrique existant entre la zone  $n^+$  de source et le canal  $p$ . Dans le cas du bipolaire, cela court-circuiterait la base à l'émetteur; pour le VMOS, cela relie la source au body. Sans cette liaison électrique, il existerait un bipolaire npn parasite à quatre couches, en parallèle avec le MOSFET, masquant ainsi par ses problèmes, les traits bénéfiques du VMOS. Toutefois, cette liaison fait apparaître une diode source-drain parasite. Heureusement, la position de cette diode, comme on peut le voir figure 2, n'affecte en rien les performances du VMOS dans des conditions normales de fonctionnement. Cet élément présente au contraire certains avantages. D'un point de vue esthétique il est indésirable, mais pratiquement, une diode de structure intrinsèque polarisée en inverse devient une diode de récupération, utile lorsque les VMOS sont arrangés en totempôle pour commander des charges tels les moteurs.

La structure verticale du VMOS, tout comme le transistor bipolaire de puissance, offre une large surface pour la métallisation de source et le dos entier de la puce pour celle du drain. Ceci est d'une grande importance car elle permet une capacité en courant maximum impossible à obtenir avec une structure non-verticale.



Comparaison des structures à 4 couches d'un bipolaire et d'un VMOS  
Figure 1



Représentation schématique d'un VMOS  
faisant apparaître la diode  
de structure  
Figure 2

## Contrôle du VMOS de puissance

Opérationnellement, le VMOS est unique parmi les transistors de puissance. La conduction du canal est proportionnelle au potentiel de gate et non à toute injection de courant. Cependant, le courant d'entrée attribué aux fuites, a été identifié au courant de charge de la capacité d'entrée, dans les applications de commutation hautes fréquences. Parce que le courant de gate de repos est négligeable, le paramètre familier  $\beta$ , est de peu d'importance. En conséquence, le VMOS présente une haute résistance d'entrée qui le rend idéal pour toutes les applications ayant une logique de commande.

## Le VMOS en commutation : comment le rendre conducteur

La commande de VMOS à partir d'une logique, demande une appréciation de la puissance de gate nécessaire pour activer le transistor VMOS de puissance. Premièrement, la commande doit être capable de délivrer suffisamment de courant durant la transition (de Off à On), afin de charger correctement la capacité d'entrée dans le temps désiré. Deux équations familières montrent que pour atteindre une grande vitesse de commutation, il est préférable de travailler avec une source à faible impédance interne pouvant délivrer une forte pointe de courant.

$$T = 2,2 \cdot RG \cdot CIN$$

$$I = CIN \cdot \frac{dV}{dt}$$

où  $RG$  = résistance interne  
 $CIN$  = capacité d'entrée

$$\frac{dV}{dt} = \text{changement de potentiel dans le temps}$$

A mesure que le potentiel de commande croît, un autre phénomène se produit appelé « effet Miller ». Dès que la tension de seuil du transistor VMOS est dépassée, celui-ci commence

à délivrer un courant croissant. Sur la figure 3, la rapide augmentation du courant de drain avec le potentiel de gate est clairement illustrée. De même que le courant croît, la transconductance augmente rapidement jusqu'à la saturation, comme le montre la figure 4. Conjugué avec cette augmentation, se produit un accroissement proportionnel du gain et de la petite capacité de contre-réaction qui varie alors dans des proportions énormes, apparaissant en addition à la capacité d'entrée.

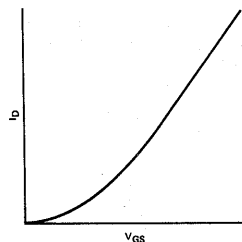
$$CIN = CISS + (1 + AV) CGD$$

où  $CISS$  = capacité d'entrée en source commune  
 $CGD$  = capacité drain-gate  
 $AV$  = gain en tension.

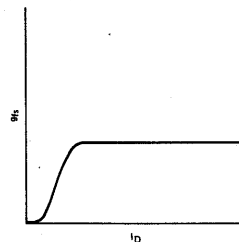
Si la commande est déficiente en réserve de courant, la vitesse de commutation du VMOS en souffre et la forme d'onde de la figure 5 en est le résultat inévitable. Par contre, si le driver peut délivrer le courant de charge nécessaire, la vitesse de transition est seulement déterminée par la vitesse à laquelle il « peut » le délivrer.

## Comment bloquer le VMOS

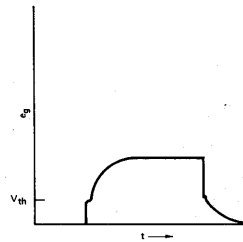
Le blocage est une autre histoire où les performances du transistor VMOS de puissance sont équivalentes au bipolaire. Le VMOS, transistor à porteurs majoritaires, commence à se bloquer dès la décroissance du potentiel de gate. Ici aussi, la vitesse est limitée par la décharge de la capacité d'entrée à travers la commande. Pour des commutations ultra rapides, des circuits de transfert de charges spéciaux sont recommandés pour injecter ou extraire du courant de la gate du VMOS. Avec la décroissance du potentiel de gate, le VMOS de puissance se bloque, la résistance entre drain et source croît à une valeur extrêmement élevée, et le flux du courant se limite aux fuites. Ceci bien sûr, suppose que la tension de claquage n'est pas atteinte.



Caractéristique de transfert du VMOS montrant la relation linéaire  $ID/VGS$   
 Figure 3



Transconductance en fonction du courant drain  
 Figure 4



Influence de « l'effet Miller » sur les formes d'onde à l'entrée  
 Figure 5

## Caractéristiques du VMOS

Un examen approfondi de la figure 1 révèle que le VMOS, au contraire des MOSFETS basse puissance, possède un canal très court d'où, à mesure que le flux de courant augmente, il résulte une saturation de la vitesse des électrons. Les conséquences de cette saturation sont de trois ordres : les caractéristiques de sortie présentent un plateau de courant constant, la transconductance se sature et, le plus important, la caractéristique de transfert est linéaire. Tous ces effets sont visibles figures 3, 4 et 6.

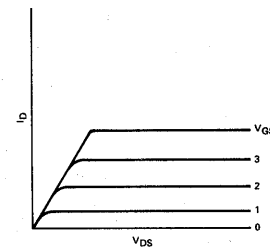
## Importance de la tension de seuil

Le VMOS, dispositif à enrichissement, présente ce qui apparaît être une mise en conduction retardée (trainage). Ce délai est en fait causé par le niveau du seuil sous lequel le canal n'est pas conducteur et au-dessus duquel le courant de drain apparaît. Un VMOS compatible en logique est un composant bloqué sur un état bas [O] et conducteur sur un état haut [1]. Il est important de noter qu'un seuil bas est indésirable dans le cas du VMOS de puissance, pour nombre de raisons. Les transistors VMOS haute puissance travaillent généralement à hautes températures de puce pour obtenir un rendement maximum. Du fait que le seuil est dépendant de la température ( $-7 \text{ mV}/^\circ\text{C}$ ), un seuil élevé est nécessaire pour assurer le fonctionnement en enrichissement. En outre, les dispositifs forte puissance ont une forte

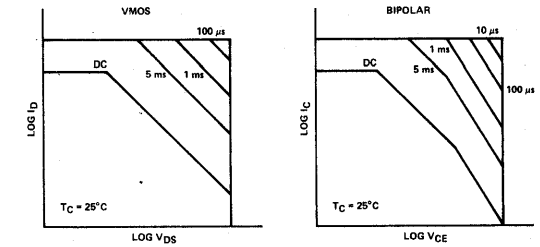
capacité d'entrée qui requiert une commande substantielle. Un seuil haut exclut la possibilité de causer des conductions parasites à partir des bruits du driver. Cette immunité au bruit est tout particulièrement importante lorsqu'on travaille dans les alimentations de puissance à découpage ou les commandes de moteur.

## Effets de la température sur le VMOS

La dégradation en température des caractéristiques des FETs est certainement un avantage sur le bipolaire dans les applications en linéaire, car il simplifie grandement la circuiterie de polarisation. Comme c'est le cas d'un semi-conducteur courant, la résistance du silicium présente un coefficient de température positif égal à  $0,6\%/^\circ\text{C}$ . Les bénéfices de cette propriété thermique unique sont de deux ordres. Le VMOS offre une aire de sécurité exceptionnellement stable en comparaison des aires des transistors bipolaires de puissance, comme on peut le voir figure 7. Deuxièmement, la mise en parallèle des VMOS, afin d'augmenter la capacité en courant, ne posent pas de problèmes. Tout déséquilibre existant entre les VMOS ne résultera pas en absorption par un seul dispositif du courant, car la caractéristique thermique des composants travaillera à égaliser les flux. Cependant, il faudra toujours veiller à maintenir le VMOS à l'intérieur de son aire de sécurité, et si des dissipateurs thermiques semblent être nécessaires, il ne faudra pas hésiter à les utiliser.



Caractéristiques de sortie du VMOS  
 Figure 6



Comparaison des aires de sécurité respectives du VMOS et du bipolaire  
 Figure 7

## Domaines d'applications possibles des transistors VMOS de puissance

### Calculateurs et périphériques

Commande des bobines de déflexion des tubes cathodiques  
Commande de moteur pas à pas  
Commande des matrices d'imprimantes à pointes  
Commande des marteaux d'imprimantes  
Générateurs haute tension et flyback pour tubes cathodiques  
Modulateurs et circuits vidéo  
Commutation de puissance des périphériques  
Commande de LED  
Commande de mémoires  
Commande de lampes à incandescence  
Commande de ligne  
Contrôle de moteurs pour disques et bandes

### Electronique médicale

Alimentation de puissance  
Scanners

### Domaine industriel

Relais à état solide  
Commande de solénoïde  
Commande de machines numériques  
Système d'allumage  
Gradateur de lumière  
Interface logique de commutation de signal  
Commande de tube fluorescent  
Commande de moteur

### Télécommunications

Commutation de ligne téléphonique (contrôlée par  $\mu P$ )  
Interface de fibre optique

### Amplificateurs

Amplificateurs HF  
Amplificateurs audio  
Amplificateurs linéaires  
Modulateurs laser  
Amplificateurs téléphoniques

### Bancs de test

Commande de testeur de circuit  
Commande de générateur d'impulsions  
Commande de spectromètre de masse  
Oscillateur à boucle de verrouillage de phase

### Circuits de commande

Commande de température de four (commande à VMOS)  
Commande de vitesse de moteur continu (largeur d'impulsions variable)  
Commande de position de moteur continu  
Commande de moteur pas à pas  
Commande de moteur alternatif multiphase  
Commande de niveau

### Alimentations de puissance

Régulateurs à découpage  
Régulateurs linéaires  
Onduleurs  
Alimentation à inversion de polarité

### Emetteurs de puissance

Amplificateurs de puissance pour émetteur RF  
Sonar  
Fours à induction  
Commande de diode laser  
Circuit de puissance de transducteurs piezo-électriques pour ultrasons  
Commande de diode impatt  
Oscillateurs  
Nettoyeurs à ultrason

# NOTE D'APPLICATION

## VMOS — Un nouveau concept dans le domaine de la puissance

### INTRODUCTION

Depuis plusieurs années, les transistors à effet de champ étaient utilisés seulement dans le domaine des faibles puissances ( $\leq 1$  W). Bien que possédant de nombreux avantages théoriques sur les bipolaires, des limitations technologiques dans la fabrication de dispositifs haute puissance empêchaient les FETs de concurrencer les transistors bipolaires et les thyristors dans les applications de puissance. La principale limitation était due au fait que les FETs sont des dispositifs strictement horizontaux, de telle sorte que leur densité de courant était beaucoup moins grande que celle des bipolaires (lesquels utilisent un courant vertical). Pour un courant donné, la surface du chip du FET devait être considérablement plus grande que celle du bipolaire. Il s'ensuivait que, pour les puissances moyennes, les FETs étaient plus chers à fabriquer et que, pour les grandes puissances, il n'y avait même aucune solution.

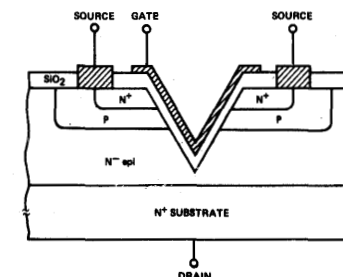
Une nouvelle technologie FET a été récemment développée pour augmenter la densité de courant et permettre de produire des FETs haute tension, fort courant. Cette technologie — VMOS ou Vertical MOS — exploite un canal diffusé et un courant vertical afin d'obtenir les grandes puissances. Les niveaux de tension et de courant sont et vont être comparables à ceux des bipolaires.

### La technologie VMOS

La figure 1 montre la section verticale d'un canal VMOS. Le substrat en matériau N+ constitue le drain, et offre une faible résistance de conduction. Une couche épitaxiée N- augmente la tension de claquage en absorbant la région d'appauvrissement de la jonction drain-corps, laquelle est normalement polarisée en inverse. Aussi, la couche épitaxiée réduit grandement la réaction capacitive, puisque la gate recouvre le matériau N- plutôt que la couche N+.

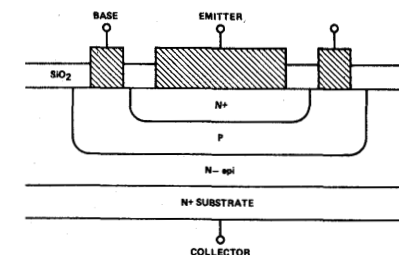
Le corps P- et la source N+ sont alors diffusés dans la couche épitaxiée, puis, on réalise l'entaille en V à travers la source, le corps et la zone épitaxiée. La couche SiO<sub>2</sub> est alors rapportée et la métallisation aluminium est déposée pour former le contact source et la gate. Enfin, on pas-

sive le chip entier pour empêcher de contaminer (surtout par des ions sodium) la couche d'oxyde de gate.



Coupe verticale d'un canal VMOS  
Figure 1

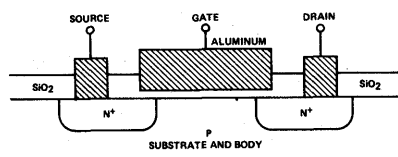
Le processus jusqu'au moment où l'on pratique l'entaille V est similaire à celui d'un transistor planar épitaxial double diffusion, comme le montre la fig. 2.



Coupe verticale d'un transistor planar épitaxial double diffusion  
Figure 2

En fonctionnement, la gate et le drain sont positifs par rapport à la source (et au corps). La gate produit un champ électrique qui induit un canal de type N au niveau des surfaces du corps en regard de la gate, permettant aux électrons de circuler de la source au drain (substrat), à travers le canal de type N et la couche épitaxiée. Comme le courant, constitué d'électrons, passe entièrement dans le matériau de type N, le VMOS est un dispositif à porteurs majoritaires. Une plus grande tension gate enrichit un canal plus profond permettant de créer ainsi un passage du courant drain-source plus large et d'augmenter l'intensité. Par exemple, le VN 66 AF conduit environ 650 mA avec une tension gate-source de 5 V, et 2 A avec 10 V de tension gate-source.

La figure 3 montre la coupe verticale d'un MOSFET conventionnel ayant un canal horizontal. La source et le drain N<sup>+</sup> sont simultanément diffusés dans le substrat du type P<sup>+</sup>, lequel fait aussi office de corps. Le courant circule horizontalement de la source au drain à travers le canal qui est induit au niveau de la face supérieure du substrat.



Coupe verticale d'un MOSFET conventionnel  
Figure 3

La structure verticale d'un VMOS lui donne plusieurs avantages importants sur les MOS conventionnels :

1. La longueur du canal du VMOS est déterminée par les profondeurs de diffusion lesquelles sont beaucoup mieux contrôlées que les dimensions d'un masque qui définissent la longueur du canal d'un MOS conventionnel.

Ainsi, le rapport largeur/longueur du canal, qui détermine la densité de courant, est plus grand. Par exemple, la longueur du canal VN 66 AF est d'environ 1,5  $\mu$ m, pour assurer un bon rendement.

2. Chaque entaille en V créant 2 canaux, la densité de courant est inévitablement doublée.

3. Le substrat formant le drain, il n'est pas nécessaire d'ajouter une métallisation sur cette face du chip. En conséquence, cela réduit la surface du chip et permet de conserver une résistance de saturation faible.

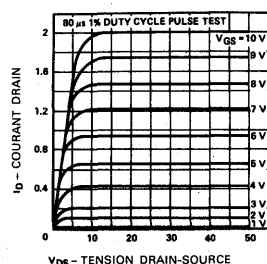
4. La grande densité de courant du VMOS résulte de la faible capacité du chip, spécialement de la réaction capacitive (gate-drain), car le gate ne couvre que partiellement le drain. Dans les MOSFETs conventionnels, pour se prémunir des désalignements du masque, le recouvrement gate-drain doit être plus grand, ce qui augmente les capacités source-gate et gate-drain.

5. La couche épitaxiée du VMOS absorbe la région d'appauvrissement due à la polarisation inverse de la diode P-N corps-drain et augmente donc grandement la ten-

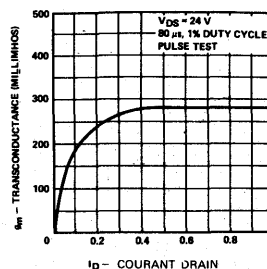
sion de claquage, sans affecter les autres paramètres du dispositif (on ajoute seulement une résistance série). Pour fabriquer un MOSFET haute tension, la région du corps doit être légèrement dopée si l'on veut absorber la région d'appauvrissement. Le matériau légèrement dopé est très sensible à la contamination par oxydation et une bonne stabilité dans le temps est difficile à obtenir. L'oxydation gate doit être suffisamment épaisse pour supporter toute la tension gate-drain, ce qui explique qu'un MOSFET standard haute tension manque de transconductance (dans un VMOS, on doit seulement supporter le 1/4 de la tension gate-drain).

#### Caractéristique des VMOS

La caractéristique de sortie du VN 66 AF, montrée figure 4, est similaire à celle d'un MOSFET conventionnel avec toutefois quelques exceptions. L'axe vertical est gradué en ampères et non pas en milliampères, la conductance de sortie est faible (les courbes sont horizontales et non pas inclinées) à cause de l'effet "buffer" de la région épitaxiée, et le  $g_m$  est constant au-dessus de 400 mA. (les courbes sont régulièrement espacées). La valeur constante de  $g_m$ , une caractéristique des dispositifs à court canal, est due à la rapidité de saturation des électrons dans le canal. D'autre part, le  $g_m$  d'un MOSFET conventionnel (long canal) est proportionnel à  $(V_{GS})^2$ . La figure 5 représentant la caractéristique de la transconductance VN 66 AF en fonction du courant drain, montre qu'au-dessus de 400 mA, la courbe est linéaire, et qu'au-dessous de 400 mA, elle est quadratique.



Caractéristiques de sortie du VN 66 AF  
Figure 4



Caractéristique de la transconductance  
en fonction du courant drain du VN 66 AF  
Figure 5

Les VMOS ont beaucoup d'avantages sur les bipolaires qui sont bien connus dans les applications petits signaux, mais moins perçus dans le domaine de la puissance. Ils comprennent :

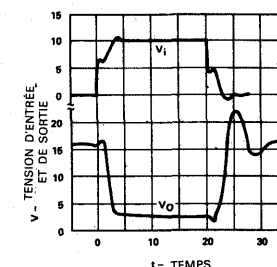
1. Une haute impédance d'entrée, une faible commande en courant (typiquement moins de 100 nA). Le " $\beta$ " d'un VMOS (le courant de sortie divisé par le courant d'entrée) est donc supérieur à  $10^6$ . Il s'ensuit que le VMOS s'interfacera facilement avec des circuits de commande d'impédance relativement grande, par exemple, les isolateurs opto ou les circuits CMOS.
2. Pas de stockage de porteurs minoritaires. Le VMOS est un dispositif à porteur majoritaire. Les porteurs de charge sont contrôlés par des champs électriques plutôt que par l'injection physique et l'extraction (ou recombinaison) de porteurs minoritaires dans la région active. Le temps de retard de commutation est petit, quelques nanosecondes ; il est dû essentiellement aux éléments extérieurs parasites (inductance série de gate). Le 2N6657 par exemple, commute 1 A ON ou OFF en 4 ns, soit environ 10 à 200 fois plus vite qu'un bipolaire.
3. Pas de second claquage et pas de courant gaspillé. Comme le coefficient de température de la tension ON drain-source est positif (négatif pour le bipolaire), le VMOS conduit moins de courant quand le dispositif s'échauffe. Si la densité de courant en un point particulier du canal venait à augmenter la température s'élèverait et le courant décroîtrait. De cette façon, le courant se répartit automatiquement dans tout le chip et entre les dispositifs. Il n'est pas nécessaire de placer des résistances ballast d'équilibrage.

#### Applications des VMOS dans les circuits de commutation

La grande impédance d'entrée et la grande vitesse du VMOS font qu'il est idéal pour la commutation. Il s'interfacera avec tout dispositif de commande capable de fournir un échelon de 5 V à 30 V pour commuter n'importe quelle charge exigeant plusieurs ampères de courant. Comme il n'y a pas de second claquage, cela signifie qu'il

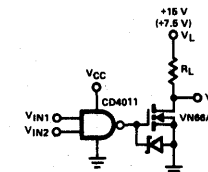
peut supporter simultanément une forte tension et un fort courant, ainsi les charges inductives ne poseront pas de problème.

La figure 6 montre le temps de réponse du VN 66 AF tandis que la figure 7 présente le circuit de mesure. Le retard de 2 ns de turn ON et de turn OFF est dû à la capacité d'entrée se chargeant et se déchargeant à travers l'inductance série du boîtier, et au circuit de test.

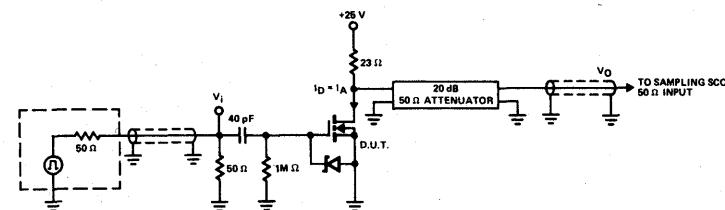


Temps de réponse du VN 66 AF  
Figure 6

Les circuits CMOS sont des dispositifs de commande idéaux pour le VN 66 AF, car on n'a pas besoin d'autres composants d'interface (fig. 8). Un niveau bas à l'entrée du CD4011 fera conduire le VN 66 AF ( $V_{GS}$  ou  $V_{GS}$ ), tandis qu'un niveau haut le bloquera ( $V_{GS}$  ou  $V_{GS}$ ). La puissance dissipée dans ce dernier cas sera de 55  $\mu$ W maximum (0,15  $\mu$ W typique).



Une porte CMOS commandant le VN66AF  
Figure 8



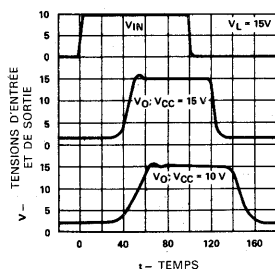
Circuit de test pour le temps de réponse du VN 66 AF  
Figure 7



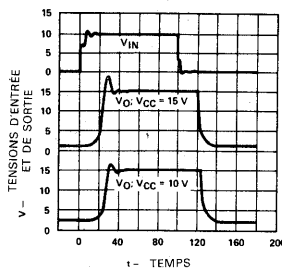
Les figures 9 et 10 décrivent le fonctionnement du circuit montré fig. 8 avec une charge de  $13 \Omega$ .  $V_L = 15 \text{ V}$  pour une tension logique de 10 ou 15 V ( $I_{\text{load}} = 1 \text{ A}$ ) et  $V_L = 7,5 \text{ V}$  pour  $V_{\text{CC}} = 5 \text{ V}$  ( $I_{\text{load}} = 500 \text{ mA}$ ). Les temps de commutation ON et OFF quand  $V_{\text{CC}} = 10 \text{ V}$  sont d'environ 60 ns ; en portant  $V_{\text{CC}}$  à 15 V, on ramène les temps de commutation à 50 ns ; en portant  $V_{\text{CC}}$  à 5 V, les temps de commutation atteindront 100 ns.

En regardant la sortie du CD4011, on voit qu'il est chargé par une capacité de 65 pF constituée par la mise en parallèle de la capacité d'entrée et de la capacité Miller du VN 66 AF.

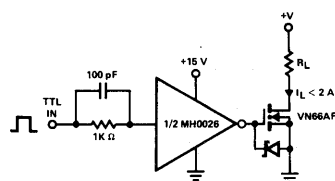
La vitesse de commutation est augmentée quand on met en parallèle plusieurs portes CMOS pour augmenter le courant de commande du VN 66 AF.



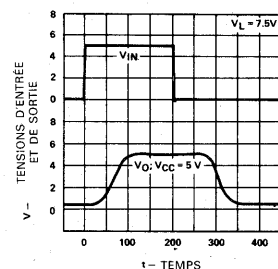
Temps de commutation obtenus avec un VN66AF commandé par une porte CMOS CD 4011 (voir fig. 8)  
Figure 9



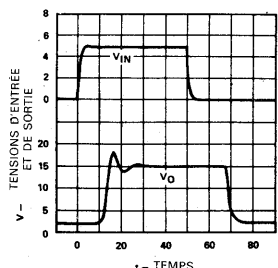
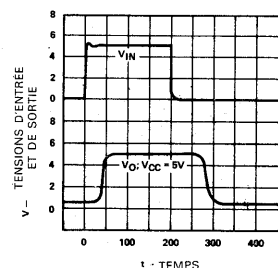
Temps de commutation obtenus avec un VN66AF commandé par 4 portes CD 4011 mises en parallèle  
Figure 10



Montage de commande utilisant une horloge MOS  
Figure 11



Temps de commutation obtenu avec un VN66AF commandé par une porte CMOS alimentée sous 5V.  
Figure 12



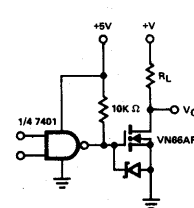
Temps de commutation obtenus avec un VN66AF commandé par un circuit MH 0026  
Figure 13

Le VMOS peut aussi s'interfacer avec une porte T.T.L., mais il faut introduire une résistance pour assurer un signal de commande de gate suffisant (figure 14). Sans résistance, la tension de commande est de 3 V et le VMOS conduira seulement 200 mA environ. Avec une commande de 5 V sur la gate, on peut espérer conduire un courant de 500 mA, ce qui est suffisant dans la plupart des applications.

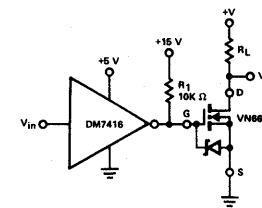
Si l'on veut plus de courant ou une résistance Ron plus faible, la commande de gate doit être augmentée. La figure 15 montre un circuit d'interface utilisant une porte T.T.L. à collecteur ouvert avec 10 ou 15 V d'alimentation. Le "turn-ON" dépendra grandement de la valeur de R1 qui fournit le courant pour charger la capacité d'entrée du VN 66 AF. Pour obtenir un "turn-ON" extrême-

ment rapide, R1 doit être petit, conduisant à dissiper une puissance non négligeable quand le VN 66 AF est OFF. Une solution au problème consiste à utiliser un circuit de commande, dit totem pole, comme le montre la figure 16 : le VN 66 AF est attaqué par un émetteur follower, ce qui réduit la capacité que R1 doit charger.

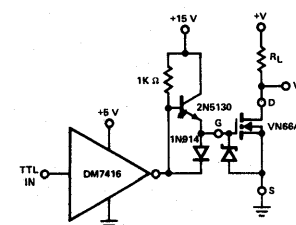
Une deuxième méthode, pour interfacer la T.T.L. au VMOS, consiste à utiliser un montage de décalage de niveau en bipolaire, comme le montre la figure 18, qui amplifie l'impulsion de sortie T.T.L. jusqu'à 15 V pour la commande de gate du VN 66 AF. La figure 19 montre le temps de commutation du VN 66 AF attaqué par un circuit d'interface de fort courant. Les performances sont moins bonnes que celles du montage totem-pole (figure 17) avec une puissance dissipée à l'état OFF plus grande.



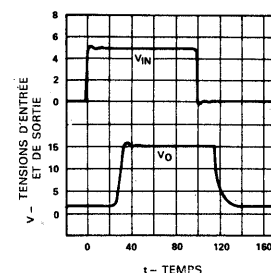
Montage de commande du VN 66 AF avec une porte T.T.L.  
Figure 14



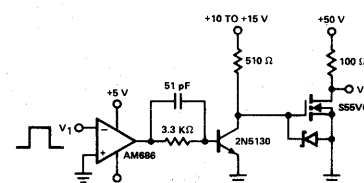
Montage de commande du VN66AF avec une porte T.T.L. à collecteur ouvert  
Figure 15



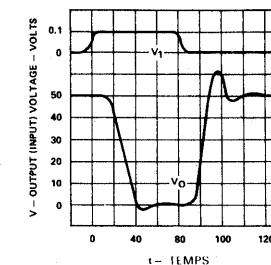
Montage de commande du VN 66 AF avec un circuit «totem-pole» permettant d'augmenter la vitesse de commutation et de diminuer la dissipation  
Figure 16



Temps de commutation obtenus avec un VN 66 AF commandé par un circuit T.T.L. totem-pole à collecteur ouvert  
Figure 17



Interface bipolaire  
Figure 18

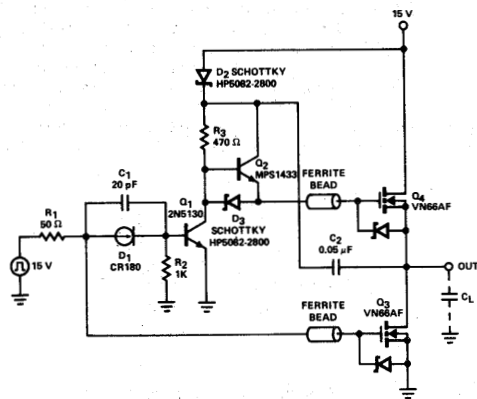


Temps de commutation obtenus avec un VN66AF commandé par un circuit bipolaire de fort courant  
Figure 19

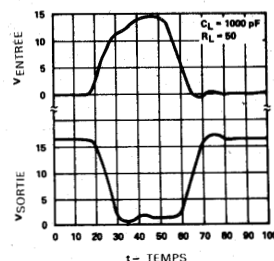
Pour commander des charges capacitatives telles que câbles ou bus de données, il faut faire conduire du courant dans la charge. La figure 20 montre un circuit rapide de commande de ligne qui utilise un deuxième VN 66 AF avec un inverseur pour conduire jusqu'à 3 A de courant et commuter 15 V à travers 1000 pF en moins de 15 ns. La capacité de bootstrap C2 fournit du 29 V de commande à Q4 — soit 14 V de plus que sa source. Le temps de

commutation du circuit rapide de commande de ligne est montré figure 21.

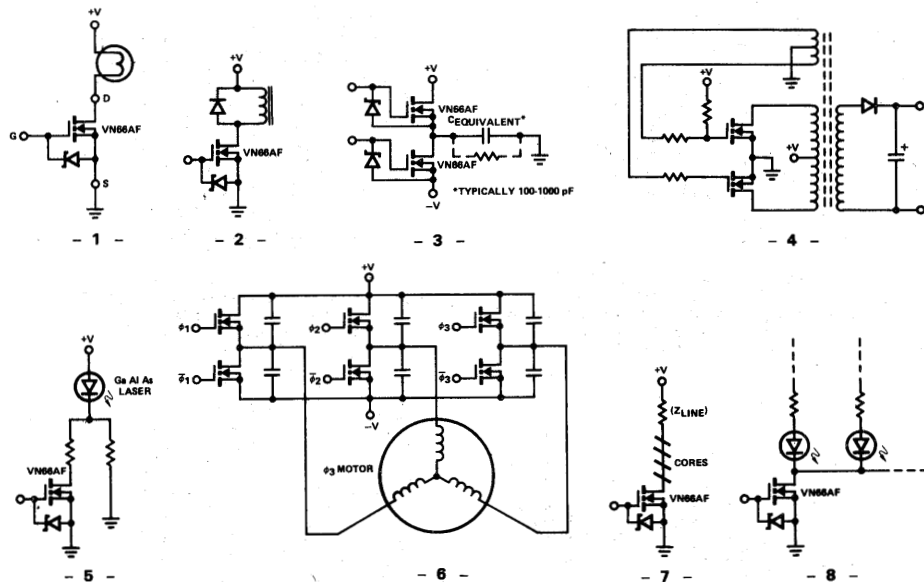
La facilité de commande, la robustesse du dispositif, l'absence de second claquage, les vitesses rapides de commutation font que les VMOS sont bien adaptés pour commuter une grande variété de charges, comme le montre la figure 22.



Circuit rapide de commande de ligne  
Figure 20



Temps de commutation du circuit rapide  
de commande de ligne de la figure 20  
Figure 21

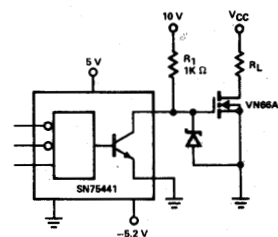


Diverses applications des VMOS en commutation  
Figure 22

- 1 - Commande de lampe,
- 2 - commande de relais ou de solénoïde,
- 3 - commande de transducteur à ultrasons (ou transducteur optique),
- 4 - convertisseur continu-continu,
- 5 - commande de diode laser,
- 6 - commande de moteur alternatif,
- 7 - commande de hobline,
- 8 - commande de diodes électroluminescentes.

L'interface E.C.L.-VMOS n'est pas aussi direct, car les niveaux de l'E.C.L. sont incompatibles avec les exigences de commande des VMOS, mais il est relativement facile de réaliser le décalage de niveau. Deux solutions sont possibles. Le SN75441 est un driver périphérique compatible E.C.L. capable de fournir 30 V - 150 mA, il peut s'interfacer directement, comme le montre la figure 23, avec le VN 66 AF si on veut accroître ses capacités en courant et en tension. On peut aussi réaliser une interface en composants discrets, comme le montre la figure 24, pour faire une translation de niveau 0-10 V qui est la tension de commande imposée par les VMOS. Les temps de commutation de ce circuit sont inférieurs à 40 ns sur une charge de 50  $\Omega$  (4).

Les VMOS, avec leurs temps de commutation rapides sont bien adaptés pour faire des régulateurs travaillant en haute fréquence. Les pertes de commutation des bipolaires ne se retrouvent pas ici avec les VMOS. La figure 25 présente le schéma d'un régulateur 50 W fonctionnant à 200 kHz et utilisant un dispositif VMOS 10 A - 60V (5). Il s'agit d'un convertisseur 28 V - 5 V capable de fournir 5-10 A avec une tension d'ondulation de 100 mV crête à crête. Le circuit de limitation de courant n'est pas inclus, il peut être ajouté en tenant compte des exigences de l'application.

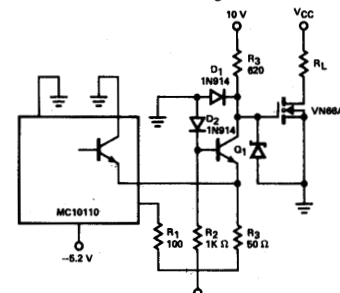


Utilisation d'un VMOS comme étage de sortie  
d'un driver périphérique compatible ECL  
Figure 23

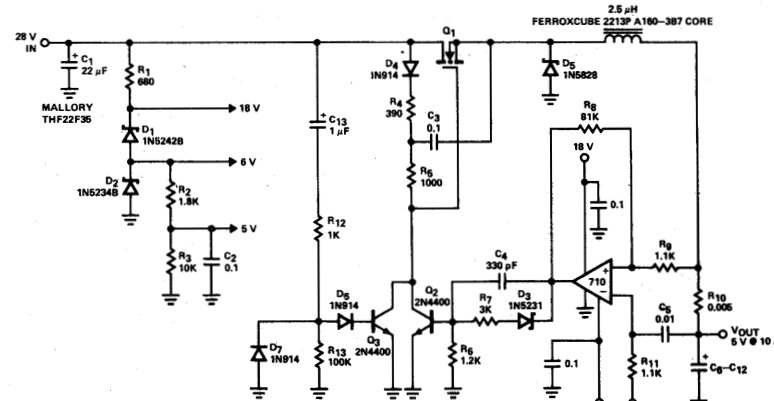
Le VMOS - Q1 - est commandé par le signal de découpage issu du comparateur LM 710 qui est polarisé à + 6 V pour éviter une alimentation négative. L1 constitue l'élément réactif de cet auto-oscillateur. R8 introduit une certaine hystérésis en provoquant une diminution du seuil de basculement. C5 couple la tension d'ondulation à l'entrée négative du comparateur ; cette tension résiduelle est rejetée comme un signal de mode commun. D4, R4, R5 et C1 forment un "circuit bootstrap" qui fournit du 43 V - le 28 V plus 15 V de dépassement - à la gate du VMOS. Le signal de sortie est filtré par 6 condensateurs en parallèle ; l'impédance d'un condensateur à 200 kHz est de 0,05  $\Omega$  et il faut une impédance maximale de 0,01  $\Omega$  si l'on veut filtrer un courant de 10 A crête à crête. Q3 est le cœur d'un circuit de démarrage progressif.

Fonctionner à 200 kHz plutôt qu'à 20-25 kHz apporte plusieurs avantages :

1. On a besoin d'une inductance plus petite avec des pertes cuivre continues plus faibles.
2. On exige une capacité de filtrage plus petite,
3. Le temps de réponse du régulateur est plus rapide sur les variations de charge.



UTILISER UN TRANSISTOR  
Q1 - BIPOLAIRE AYANT UN GRAND  $\beta$   
Circuit d'interface en éléments discrets  
entre une porte ECL et un VMOS  
Figure 24



Régulateur 200 kHz  
Figure 25

Comparaisons entre 4 régulateurs 50 W 28V/5V  
- Tableau 1 -

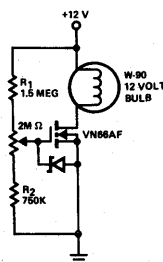
	bipolaire	20kHz VMOS	bipolaire	200 kHz VMOS
Pertes fixes		4,85 W		
Puissance de commande	0,17 W	0,44 W	1,4 W	0,87 W
Pertes de commutation	1,9	0,55	9,6	3,7
Pertes de saturation	3,2	7,2	3,2	7,2
Pertes du noyau en alternatif		0,06		0,2
Pertes de bobine en continu		0,49		0,13
Pertes de sortie	50,0	50,0	50,0	50,0
Puiss. totale d'entrée	60,7	63,6	69,4	67,0
RENDEMENT	82 %	79 %	72 %	75 %

Comparaison entre les éléments des régulateurs 50 Watts  
fonctionnant à 20 kHz et 200 kHz  
- Tableau 2 -

	20 kHz	200 kHz
Temps de recouvrement approximatif pour une variation de 40 % de charge.	100 µ sec	10 µ sec
Self L1 - 2,5 H	~13,9 cm <sup>3</sup> 34 g	~5 cm <sup>3</sup> 12 g
Capacités C6 - C12	8 x 220 µF 16,4 cm <sup>3</sup>	6 x 120 µF 7,4 cm <sup>3</sup>

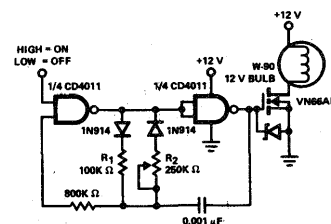
D'une façon générale, le rendement est moindre lorsqu'on fonctionne en haute fréquence, mais il est supérieur à celui d'un transistor bipolaire. Le tableau 1 récapitule les performances obtenues avec les bipolaires et les VMOS lorsqu'on fonctionne à 20 kHz et 200 kHz, tandis que le tableau 2 compare aux deux fréquences les caractéristiques des éléments principaux. Dans tous les cas, un circuit similaire à celui de la figure 25 a été fait dans le but d'optimiser les performances.

La grande impédance d'entrée et la caractéristique linéaire de transfert des VMOS font qu'il est facile de commander soit le courant moyen, soit le courant pointe d'une charge. La figure 26 montre un circuit simple d'un réducteur d'éclairage réalisé avec un VN 66 AF dont le courant de saturation est contrôlé par la tension variable de gate. L'inconvénient de ce circuit est que le VN 66 AF fonctionne dans sa région linéaire, d'où une puissance considérable gaspillée quand la lumière est atténuée.



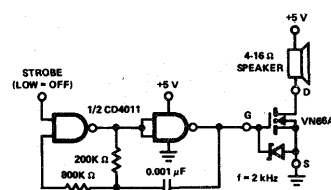
Un circuit linéaire réducteur d'éclairage  
Figure 26

Une méthode plus efficace de faire varier le courant moyen d'une charge est d'utiliser une modulation de largeur d'impulsion (fig. 27). Le CD4011 oscille avec un rapport cyclique qui est déterminé par le rapport R1/R2 et commande le VMOS alimenté sous 12 V. Comme le VMOS est complètement ON ou complètement OFF, une très faible puissance est dissipée dans le régulateur lui-même.



Un circuit réducteur d'éclairage simple et efficace  
Figure 27

Un circuit similaire peut être utilisé pour un système économique d'alarme basse fréquence. Les CD4011 fournissent un signal carré de 2 kHz au VN 66 AF qui commande directement un haut-parleur de 8 Ω (fig. 28).



Circuit d'alarme basse fréquence  
Figure 28

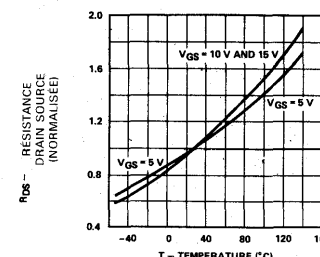
### Considérations sur la commande

Pour que le VN 66 AF puisse conduire 2A (ou 3A en pointe) sur n'importe quelle charge, la gate doit être attaquée avec échelon de tension suffisant. Si le VMOS est commandé par une porte T.T.L., pour une tension VGS maximum de 5 V il conduira - voir fig. 4 - un courant drain compris entre 500 mA et 650 mA max., quelle que soit la tension drain-source. Pour un courant minimum de 1A, une tension de 10 V doit être appliquée sur la gate dans le plus mauvais des cas (6,25 V suffiront en typique).

En appliquant une tension de commande supérieure, par exemple 15 V au lieu de 10, on diminue d'une part la résistance RON et d'autre part, on se donne une marge de sécurité pour, en cas d'échauffement du VN 66 AF avoir toujours un courant drain suffisant. Il est possible, étant donné que le courant diminue lorsque la température augmente, que le VN 66 AF ne soit pas réellement saturé et que sa dissipation augmente.

### Considérations sur le comportement en température

Le RDS (ON) d'un VMOS augmente en typique de 0,5 à 0,6 %/°C, cela est dû à la diminution de la mobilité des électrons dans le silicium quant la température augmente, ce qui entraîne une diminution proportionnelle de la ten-



Courbe du RDS (ON) du 2N6660  
en fonction de la température  
Figure 29

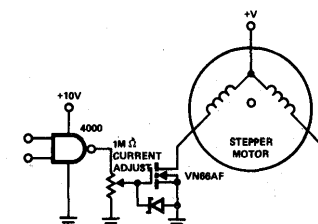
sion source (figure 29). Si nous prenons le plus mauvais cas, c'est-à-dire 0,6 %/°C, la résistance ON à une température donnée RDS (T) peut être exprimée en fonction de la résistance à la température ambiante RDS (TA) par l'expression :

$$RDS(T) = RDS(TA) \cdot 0,006 \Delta T + RDS(TA) \quad (1)$$

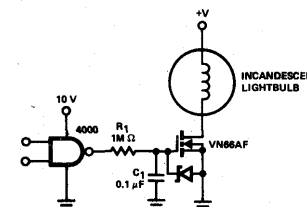
$$\Delta T = T - TA \quad (4)$$

Beaucoup de charges ont des pointes de courant indésirables quand on applique la tension, par exemple les moteurs et les lampes incandescentes. Le circuit d'établissement de courant des figures 30 et 31 minimisera ou éliminera ces appels de courant, lesquels dans le cas des lampes incandescentes diminuent considérablement la durée de vie. Dans le cas de la figure 30, on ajuste la valeur du potentiomètre de 1 MΩ jusqu'à ce que l'on obtienne le courant maximum désiré. Dans le cas de la figure 31, une constante de temps RIC1 de 0,1 s permet à la tension de commande d'entre et donc au courant drain de s'établir progressivement.

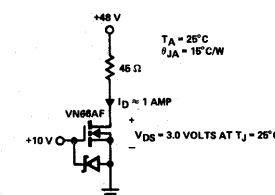
Cette augmentation de la RON peut poser quelques problèmes si certaines précautions ne sont pas prises au moment de l'étude. Dans un montage de commutation, tel que celui de la figure 32, le courant passant dans le commutateur à l'état ON est presque constant. Dans le VN 66 AF, il passe 1 A ce qui entraîne donc un certain échauffement et une augmentation de RON, de la chute de tension aux bornes du VMOS ainsi qu'une dissipation plus importante.



Un circuit qui limite le courant  
de démarrage d'un moteur  
Figure 30



Un circuit d'établissement progressif du courant  
pour une ampoule incandescente  
Figure 31



Un circuit de commutation typique  
dans lequel le VDS du VN 66 AF augmente  
quand il y a échauffement  
Figure 32

Si on utilise un radiateur insuffisant, la résistance ON et la température de jonction augmenteront jusqu'à ce que la résistance soit stabilisée par des porteurs de charge supplémentaires qui sont créés par échauffement dans le canal. Il est donc souhaitable de limiter cette augmentation de RON et de la température si on ne veut pas atteindre la température maximum de jonction de 150°C et compromettre la fiabilité à long terme.

Il y a deux façons d'opérer pour le calcul du radiateur.

La première, à partir d'une règle empirique, consistant à ajouter 50 % à la puissance réelle dissipée. Par exemple, pour un courant de 1 A passant à travers un dispositif dont la RON est de 3 Ω à 25°C, la puissance calculée sera de 3 W, soit une puissance totale de 4,5 W à prendre en compte pour déterminer le radiateur. On arrivera ainsi à une approximation proche du radiateur réel exigé pour des élévations moyennes et importantes de température (il sera surdimensionné si la température s'accroît légèrement).

La deuxième façon consiste à exprimer l'augmentation de température dans la jonction,  $\Delta T$ , en fonction de la puissance dissipée et de la résistance thermique de la jonction OJA

$$T = I^2 R_{DS}(T) \cdot \theta_{JA} \quad (2)$$

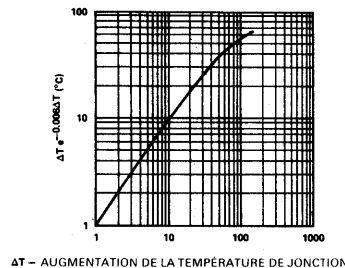
Cette expression peut être combinée avec l'équation (1) pour donner :

$$\Delta T_{e-0,006 \Delta T} = I^2 R_{DS}(T_A) \theta_{JA} \quad (3)$$

C'est l'expression classique exprimant l'élévation de température de toute résistance fixe avec en plus un terme exponentiel.

Résolvez l'équation (3) avec les valeurs de la figure 29 pour trouver la température réelle de jonction.

$$\Delta T_{e-0,006 \Delta T} = (1A)^2 (3,0 \Omega) (15^\circ C/W) = 45^\circ C$$



Graphique du  $\Delta T_{e-0,006 \Delta T}$  en fonction de  $\Delta T$   
Figure 33  
Ce graphique est utile pour trouver l'augmentation réelle de température du VN66AF

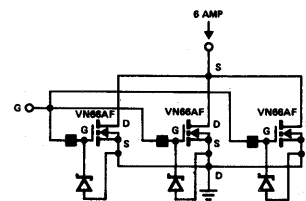
Puis, trouvez  $\Delta T$ , d'après la figure 33, en reportant sur l'axe vertical la valeur de 45°C. L'augmentation réelle de température de jonction, 70°C, est trouvée sur l'axe horizontal. TJ est donc de 95°C.

La courbe de la figure 33 donnant  $\Delta T_{e-0,006 \Delta T}$  est utile pour trouver l'élévation réelle de température de la jonction du VN 66 AF quand on connaît la puissance dissipée à 25°C.

On peut aussi utiliser la figure 33 pour trouver le radiateur adéquat quand la température maximum permise de la jonction est spécifiée au maximum de puissance. Par exemple, si la température ambiante monte jusqu'à 50°C, d'après la figure 29, on trouve que  $R_{DS}(T_A)$  sera 3,5 Ω et la puissance normalisée 3,5 W. Si la température de jonction maximum est fixée à 125°C ( $\Delta T = 75^\circ C$ ),  $\Delta T_{e-0,006 \Delta T}$  doit être inférieur à 48 et  $\theta_{JA}$  13,7°C/W. Notons que si nous avions utilisé la règle empirique consistant à ajouter un facteur de 50 % à la puissance réellement dissipée, le  $\theta_{JA}$  aurait été de 14,3°C/W, c'est-à-dire très près du résultat final.

#### Montage parallèle et série

Un montage de plusieurs VMOS en parallèle peut être facilement réalisé comme le montre la figure 34 et permet ainsi d'accroître la capacité en courant. Il n'y a pas besoin de résistance ballast ou de réseaux d'équilibrage thermique car les courants tendent à s'égaliser. Si un dispositif à la mise sous tension conduit plus de courant, il s'échauffe peu à peu et progressivement sa conduction diminue. Par exemple, un déséquilibre initial de  $\pm 20\%$  (c'est le plus mauvais cas de figure) se réduira à  $\pm 14\%$  si les températures de jonction peuvent s'approcher de leurs limites maximum. A cause de son excellente réponse en haute fréquence, il est conseillé de placer des perles de ferrite ou des résistances de faibles valeurs (100 Ω à 1000 Ω) en série dans chaque gate du VN 66 AF, pour supprimer les oscillations parasites haute fréquence ( $\sim 300$  Mhz).

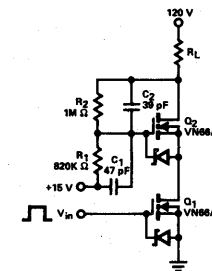


Montage parallèle de plusieurs VN66AF pour accroître la capacité maximum en courant  
Figure 34

Les VMOS peuvent être aussi connectés en série dans le but d'augmenter la tension de claquage comme le montre la figure 35. R1 et R2 sont des résistances de forte valeur parce que le courant gate de commande de Q2 est petit. C1 et C2 forment un diviseur capacitif qui, en dynamique, équilibre la commande de gate et assure aussi des temps de commutation rapides. Le rapport C1/C2, avec les capacités parasites doit être approximativement égal au rapport R2/R1. Le pied du pont diviseur est ramené au +15 V plutôt qu'à la masse pour augmenter suffisamment la tension de Q2 quand les dispositifs sont ON. En choisissant correctement les valeurs des condensateurs et des résistances, un nombre quelconque de VMOS peut être connecté en série de cette façon.

#### Applications des VMOS dans les montages amplificateurs BF

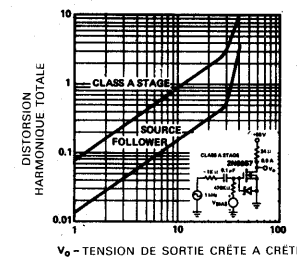
Avec sa transductance gm constante, le VMOS est bien adapté dans les applications linéaires car la distorsion est faible sur une large gamme quand il est correctement polarisé. La figure 36 montre la courbe de distorsion harmonique en fonction de la tension de sortie pour un 2N6657 — qui est la version 25 W en boîtier T03 du



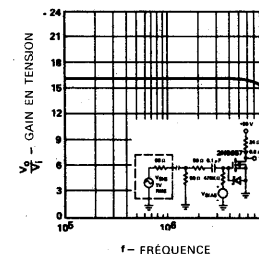
La tension de claquage peut être doublée en connectant les VMOS en série  
Figure 35

VN 66 AF — monté en amplificateur classe A. La distorsion augmente presque linéairement avec la tension de sortie aux faibles tensions, mais pour les signaux positifs atteignant la région non linéaire de gm et les pointes négatives qui saturent le système, on remarque une brusque détérioration. Le gain du circuit (environ 6,5) est égal au produit gmRL (0,27 mho  $\times$  24 Ω). Si l'on utilise le 2N6657 en source follower, on réduit la distorsion. Elle est divisée par 5,5, ce qui est légèrement inférieur au facteur de 6,5 par lequel on diminue le gain. La figure 37 montre que la réponse en fréquence d'un simple étage en classe A est plate pratiquement jusqu'à 10 MHz.

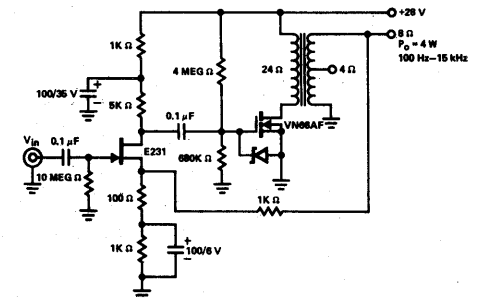
Le simple amplificateur audio montré figure 38 est équivalent à tout étage de sortie audio que l'on rencontre dans beaucoup de circuits à faible coût de radio, de télévision et d'électrophone. La puissance de sortie est de 4 W environ entre 100 Hz et 15 kHz. Le schéma du circuit est grandement simplifié en utilisant un transformateur de sortie : la distorsion reste relativement faible (2 % à 3 W) avec 10 dB de contre-réaction. Il n'y a pas de composants pour la stabilisation thermique car le coefficient de température positif de la tension ON drain-source rend impossible tout emballage thermique.



Distorsion harmonique en fonction de la tension de sortie pour un simple étage classe A et un montage source follower  
Figure 36



Réponse en fréquence d'un simple étage classe A  
Figure 37



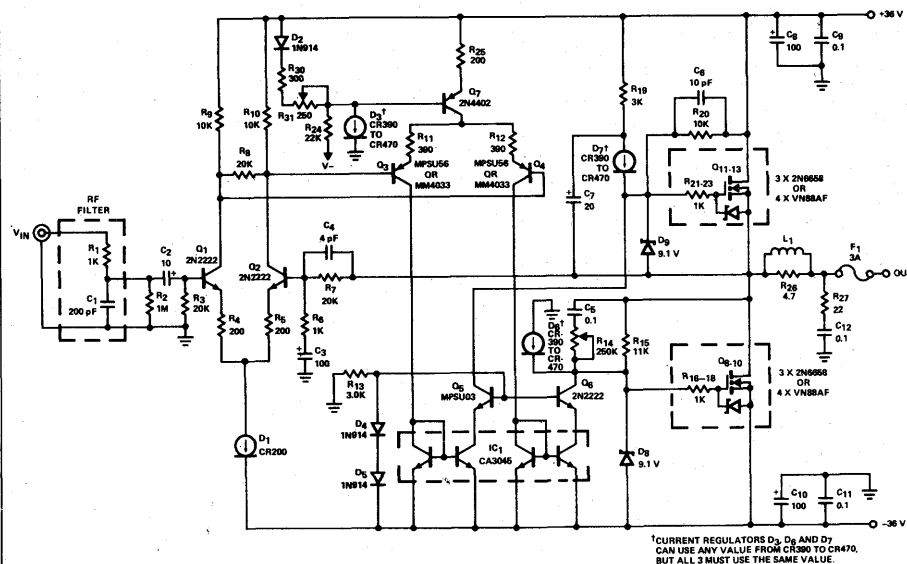
Amplification audio de puissance  
Figure 38

La figure 39 montre un ampli audio haute fidélité de 40 W pour les systèmes stéréo de haute qualité ou les systèmes de quadriphonie. Cet amplificateur a une faible distorsion en boucle ouverte, un faible taux de contre-réaction (22 dB) et une bonne réponse en fréquence en boucle fermée (en dehors du filtre d'entrée) est plate jusqu'à 4 MHz et la pente maximale du signal de sortie (slew rate) est de 100 V/μs. La réponse en fréquence et les performances de l'amplificateur, qui fonctionne en classe AB avec un courant de repos de 300 mA, sont montrées figure 40. Comme il n'existe aujourd'hui que des VMOS canal N, il est nécessaire d'accorder les caractéristiques

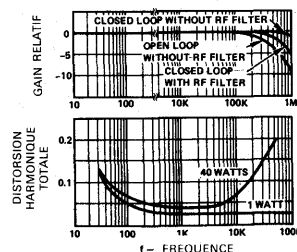
des étages de sortie en source commune et en drain commun pour obtenir une complémentarité quasi parfaite des 2 étages.

La méthode la plus efficace consiste à utiliser une résistance R15 (voir fig. 39) pour fournir une réaction locale entre drain et gate de l'étage source commune et pour permettre la commande de gate avec une source modulée de courant.

Les régulateurs de courant D3, D6 et D2 doivent avoir la même valeur et peuvent être soit des CR 390, CR 430 ou CR 470.



Amplificateur haute fidélité 40 W en VMOS  
Figure 39



Gain et distorsion en fonction de la fréquence de l'amplificateur VMOS  
Figure 40

La figure 41 décrit cette technique et la compare au circuit correspondant utilisé dans un vrai montage source-follower. Une analyse de ces circuits révèle qu'ils ont les mêmes valeurs de gain et d'impédance de sortie, ce qui assure une bonne adaptation entre les alternances positive et négative pendant le fonctionnement en classe AB.

L'exacte adaptation est assurée par R14 et C6 (voir figure 39).

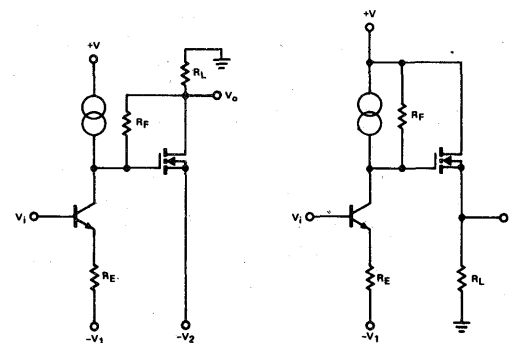
Une protection de sortie est fournie par la diode Zener qui limite la commande de gate et donc le courant de sortie et la puissance. En limitant à 9 V la tension gate-source, on limite à un peu moins de 2 A le courant drain à 25 °C, même à un peu moins encore, si l'on tient compte du problème de température. La courbe de la figure 42 donnant le courant drain total en fonction de la tension drain-source montre qu'on peut atteindre une température de jonction maximum de 200 °C pendant un court instant correspondant à la constante de temps du fusible de sortie, lequel constitue la protection de court-circuit.

#### Applications radio-fréquence

Les VMOS ont beaucoup d'avantages en radio-fréquence dans les montages amplificateur et préamplificateur parce qu'ils offrent un fort gain, un point d'interception élevé, un faible facteur de bruit et la possibilité de supporter n'importe quel TOS (voir TA76-2)

#### Résumé

La nouvelle technologie de puissance des MOSFETs — appelée VMOS — permet d'accroître la densité de courant et la puissance dissipée en utilisant un flux de courant vertical et une longueur de canal extrêmement courte. Ses principales caractéristiques comprennent une commande en tension, des temps de commutation extrêmement rapides et il n'y a pas de temps de stockage de porteurs minoritaires, ni de second claquage, ni de courant de repos.

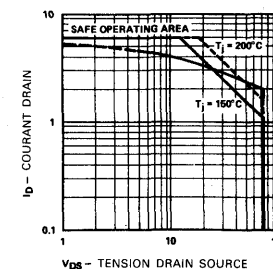


Circuits comparés d'un «faux» source follower  
et d'un «vrai» source follower  
Figure 41

Pour toute application de puissance, pour des commutateurs à grande vitesse, pour des régulateurs et des alimentations à découpage, pour des amplificateurs audio de haute qualité, on doit maintenant penser à utiliser des VMOS.

#### Références

1. Hisashi Suwa and Alciyasu Ishitani, "Vertical Field Effect Transistor and Its application to HIGH FIDELITY AMPLIFIERS", présenté à la 51<sup>e</sup> convention de l'Audio Engineering Society - mai 1975 - AES preprint N° 1018 (F-7)
2. Yoshida, Kubo and Ochi, "A High Power MOSFET with a Vertical Drain Electrode and a Meshed Gate Structure", IEEE Journal of Solid State Circuits, Volume SC. 11 Août 1976.
3. D. Hoffman, "VMOS Solves High Speed Line Driver Problems" (à sortir).
4. L. Shaeffer, "VMOS Peripheral Drivers, Solve Interface Problems" (à sortir).
5. L. Shaeffer, "Improving Converter Performance and Operating Frequency with a new Power FET", présenté à la 4<sup>e</sup> conférence de la National Solid-State Power Conversion en mai 77. Extrait de la revue "Proceedings of Powercon 4/Boston, pp. C2-1 à C2-8.
6. L. Shaeffer, "Use FET's to Switch High Currents", Electronic Design 9, pp. 66-72 Avril 1976.
7. L. Shaeffer, "Vertical MOSFET's (VMOS) in High Quality Audio Power Amplifiers", présenté à la 54<sup>e</sup> convention de l'Audio Engineering Society en mai 1976 - AES Reprint n° 1106 F-8.
8. L. Shaeffer, "The VMOS Power FET Audio Amplifiers", Siliconix Design Aid DA 761 MAI 1976.



Courant de sortie en fonction  
de la tension drain-source  
de 3 x 2N6857 montés en parallèle avec VGS = 9 V  
Figure 42



## NOTE D'APPLICATION

# VMOS — Une solution pour les commutateurs analogiques grande vitesse, fort courant, faible résistance

### INTRODUCTION

Les transistors VMOS rassemblent un ensemble de caractéristiques presque idéales pour les commutateurs analogiques, sans avoir les limitations imposées par les dispositifs conventionnels.

Les VMOS sont capables de conduire plusieurs centaines de mA alors que les J-FETs, qui sont communément utilisés dans les commutateurs analogiques, sont capables de conduire seulement quelques dizaines de mA. La taille des chips des VMOS est suffisamment petite pour permettre une production économique, sans accroître d'une façon importante les capacités internes (celles-ci sont d'ailleurs fonction de la taille du chip). De plus, la structure de base du VMOS fournit une résistance RON plus faible.

Des commutateurs analogiques peuvent utiliser soit des relais, soit des transistors bipolaires ou même des triacs. Bien que les relais offrent initialement la plus faible RON, celle-ci, à cause des limitations mécaniques des dispositifs, variera avec le courant et se dégradera dans le temps.

Les transistors bipolaires exigent un courant de base de commande qui provoque le décalage du signal analogique commuté. Les triacs sont seulement adaptés pour commuter les grandes puissances ; pour la commutation analogique, ils introduisent un décalage important et une non-linéarité.

### Performances offertes par les VMOS

Les VMOS ne sont aucunement limités par ces inconvénients. Ils peuvent commuter 10 W linéairement sur une large gamme dynamique. De plus, leur impédance d'entrée est très élevée, et seulement une tension d'entrée (et non pas un courant) commute les transistors ON ou OFF. Et comme le canal drain-source est purement résistif à l'état ON, on peut obtenir une faible distorsion.

Les transistors VMOS utilisés dans les commutateurs analogiques offrent plusieurs avantages permettant :

- une résistance RON de 1,8  $\Omega$  entraînant de faibles pertes d'insertion dans les systèmes à faible impédance ;
- un courant continu de 2 A. Trois VMOS montés en parallèle peuvent commuter 6 A. Contrairement aux autres dispositifs, des VMOS montés en parallèle n'ont pas besoin de résistance ballast d'équilibrage ;
- un courant crête de 3 A. Les VMOS sont parfaitement adaptés pour charger et décharger les condensateurs dans les convertisseurs A/D grande vitesse, les circuits échantillonneur-bloqueurs et les intégrateurs ;
- 60 dB d'isolation à 10MHz et 500 nA de courant de fuite à l'état OFF ;
- un fonctionnement en mode enrichissement avec un seuil de 0,8 V à 2 V qui les rend directement compatibles avec la CMOS et la T.T.L. Les portes logiques ne sont pas chargées par les VMOS ;
- une résistance linéaire RON qui entraîne une faible distorsion harmonique et peu d'intermodulation.

Quoi de plus à tous ces avantages ? On peut ajouter l'introduction du boîtier TO 202 avec des dispositifs à faible  $R_{ON}$  tels que le VN 46 AF. L'observation de la caractéristique de transfert, figure 1 A, révèle qu'en appliquant une tension gate-source  $0 + 10$  V, le VN 46 AF passe de l'état OFF à l'état ON avec une résistance de  $3 \Omega$ . A partir de la courbe, on peut voir que le dispositif commute OFF bien avant d'atteindre le 0 V, ce qui permet de l'interfacer facilement avec toute logique.

La figure 1B montre que le corps et la source du VN 46 AF sont connectés intérieurement. Les figures 1C et 1D montrent les modèles simplifiés du VN 46 AF à l'état OFF et à l'état ON. La diode D1 est la jonction PN corps-drain. Quand le VN 46 AF est OFF, sa caractéristique (figure 1E) courant drain tension drain-source est essentiellement la courbe de D1.

La diode D1 a une tension de claquage de 40 V et conduit jusqu'à un potentiel drain-source de  $-0,6$  V. Cette diode limite donc la tension analogique à commuter par un seul transistor VMOS entre  $-0,6$  et 40 V.

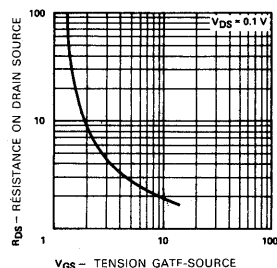
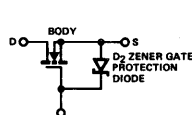
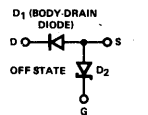
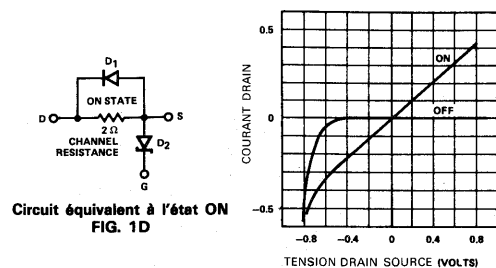
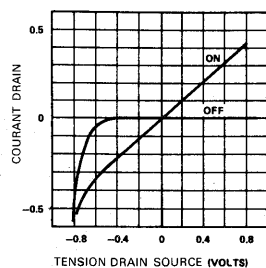


FIG. 1A

Représentation symbolique du VN66AF  
FIG. 1BCircuit équivalent à l'état OFF ( $V_{GS} = 0$ )  
Figure 1 CCircuit équivalent à l'état ON  
FIG. 1DCaractéristiques du VN66AF en petits signaux  
FIG. 1E

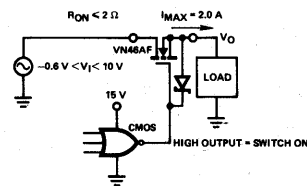
Le VN66AF commute de l'état OFF à l'état ON avec une résistance drain-source de  $3 \Omega$  quand son potentiel de gate passe de 0 à  $+10$  V. Le dispositif passe à l'état OFF à  $1$  V environ (A). Certains transistors VMOS ont une diode ZENER incorporée qui protège la jonction gate-source (B). Le VMOS est équivalent à deux diodes à l'état OFF quand la tension gate-source est inférieure à la tension de seuil (C). La diode équivalente D1 est shuntée par une résistance de  $3 \Omega$  quand le VMOS est à l'état ON avec une tension gate-source à  $+10$  V (D). La caractéristique en faibles signaux, courant drain et fonction de la tension drain-source est essentiellement déterminée par la diode corps-drain (E). L'entrée est limitée aux tensions positives dans une simple porte analogique VMOS (F).

Quand le VN 46 AF est ON, une résistance de  $2 \Omega$  est en parallèle avec D1. Le courant maximum continu dans chaque direction est 2A, bien que la diode soit polarisée en direct pour des courants supérieurs à  $0,5$  A.

#### Une porte analogique faite avec un VMOS

Les caractéristiques du VMOS permettent de l'utiliser dans un commutateur analogique unidirectionnel comme le montre la figure 1F. Dans l'état ON, la gate du VN 46 AF est positive par rapport à la source. Dans l'état OFF, la tension gate-source est nulle. Le courant de 2A, et la résistance  $R_{ON}$  de  $3 \Omega$  du VMOS peuvent être pleinement utilisés dans ce circuit. Le signal d'entrée, limité par la valeur de la tension positive d'alimentation, doit être toujours plus grand que la tension de sortie. Sinon, l'isolation OFF est altérée.

Les deux commutations ON-OFF durent 200 ns ; le transfert de charge durant la transition ON-OFF est 80 pC avec une charge de  $50 \Omega$ . Le transfert de charge est, de plus, essentiellement important dans les systèmes échantillonneurs-bloqueurs. Par exemple, 80 pC dans  $0,01 \mu F$  provoque un décalage de 8 mV.

Commutateur analogique unidirectionnel en VMOS ( $V_i$  Vo)  
FIG. 1F

#### En série, les VMOS commutent les deux polarités

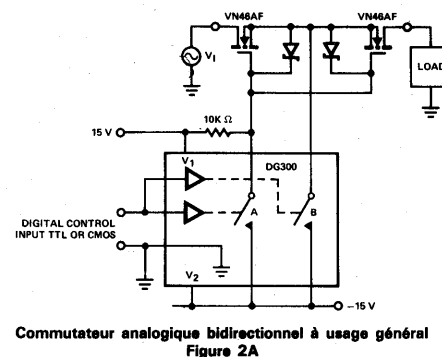
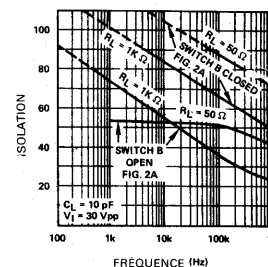
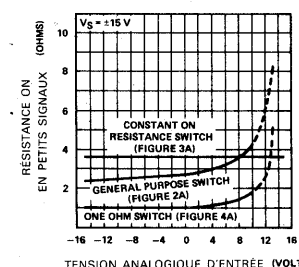
En connectant en série des VN 46 AF, on peut augmenter la plage dynamique du signal à commuter. A l'état ON, les deux commutateurs du DG 300 étant ouverts, les deux gates des VN 46 AF se trouvent ramenées au  $+15$  V à travers une résistance de  $10 K\Omega$ . Ce commutateur analogique est capable de conduire un courant de 2A (tout comme un seul VN 46 AF) et présente une résistance  $R_{ON}$  qui est double de la résistance drain-source d'un simple 46 AF.

On obtient l'état OFF de ce commutateur en ramenant les 2 gates à la tension négative, donc, en réduisant la tension gate-source à un seuil inférieur à  $0,8$  V. La seconde section du DG 300 ajoute une isolation OFF de 30 dB en ramenant le parcours du courant de fuite (à travers les deux sources) à la tension négative. Les courbes d'isolation

OFF (figure 2B) montrent que le DG 300 améliore l'isolation du circuit et qu'en diminuant la résistance de charge, on augmente l'isolation.

Les deux VN 46 AF étant montés en opposition dos-à-dos, une diode corps-drain est toujours polarisée en inverse, cela élimine le problème de l'état OFF, car les diodes ne sont pas polarisées en direct en même temps.

La commande gate du commutateur bidirectionnel étant référencée à une tension fixe, sa résistance  $R_{ON}$  varie avec la tension d'entrée analogique — figure 2C —. Cette variation introduit une distorsion quand on s'interface avec de faibles impédances de charge, par exemple : les haut-parleurs ou les lignes de transmission. Pour obtenir une  $R_{ON}$  constante, il convient d'utiliser le circuit de la figure 3A.

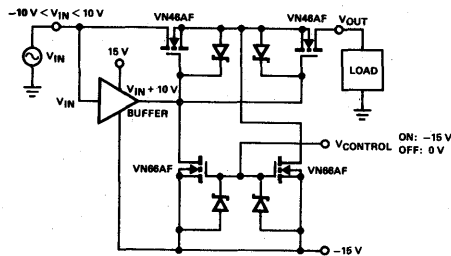
Commutateur analogique bidirectionnel à usage général  
Figure 2AIsolation OFF en fonction de la fréquence  
Figure 2BRésistance  $R_{ON}$  en petits signaux en fonction de la tension analogique d'entrée  
Figure 2C

La résistance  $R_{ON}$  est doublée dans un commutateur utilisant deux VMOS permettant de passer les deux alternances (positive et négative) sans perte d'isolation (A). Le DG 300 améliore de 30 dB l'isolement du circuit (B). Si l'on diminue la résistance de charge, on améliore aussi l'isolation. Avec une commande de gate référencée par rapport à une tension fixe (C), la résistance  $R_{ON}$  varie inopportunistement avec l'entrée et crée de la distorsion surtout avec de faibles impédances de charge, telles que les haut-parleurs et les lignes de transmission.

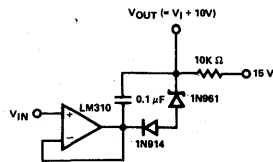
### Un montage bootstrap ajoute la linéarité

A l'état ON, un montage bootstrap, qui suit la tension d'entrée, commande les gates des VN 46 AF. Ce montage garde la tension gate-source des VMOS constante et indépendante du signal analogique d'entrée. Ainsi, les variations de niveaux du signal d'entrée ne modulent pas la résistance  $R_{ON}$  du commutateur.

Le circuit buffer réduit le taux de distorsion harmonique de 1,5 % à 0,005 % pour 8 Veff à 1 kHz sur 50  $\Omega$  (figure 3B). Un commutateur analogique de type bien connu, tel que le DG 186, engendre une distorsion harmonique totale plus élevée d'environ 2 %.



Commutateur à faible distorsion avec une  $R_{ON}$  constante  
Figure 3A

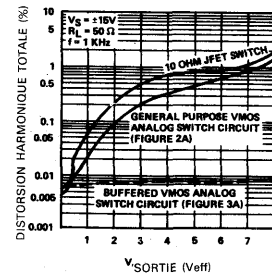


Circuit buffer d'usage général  
Figure 3C

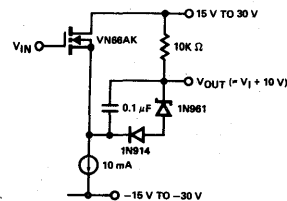
Le montage (A) permet d'améliorer la distorsion tout en maintenant la résistance  $R_{ON}$  constante. Il distord moins qu'un commutateur analogique en JET ou en VMOS sans circuit de bootstrap (B). Un circuit buffer d'usage général utilisant un LM 310 (C) est valable pour les faibles vitesses, mais quand on veut un commutateur rapide, il faut utiliser un VN66AK comme buffer (D). En plus d'augmenter la rapidité, ce dernier circuit permet d'augmenter aussi l'isolation.

Les deux circuits buffer montrés figures 3C et 3D isolent le signal d'entrée et utilisent une diode Zener pour fournir une tension gate-source fixe. La réponse en fréquence du montage de la figure 3C est plate jusqu'à 300 kHz. Le circuit de la figure 3D, avec un VN 66 AK, utilisé en source suiveuse, peut fonctionner jusqu'à 50 MHz avec des alimentations allant jusqu'à  $\pm 30$  V, permettant ainsi d'augmenter la plage du signal jusqu'à  $\pm 30$  V.

Le VN 66 AK n'a pas, comme les VN 66 AF et VN 46 AF, de diode Zener de protection gate ; ceci réduit la capacité gate-source. Le montage bootstrap de commande des gates du commutateur permet au circuit de fonctionner avec une faible distorsion, même lorsque l'amplitude du signal arrive près de la tension positive d'alimentation.



Amélioration de la distorsion d'un commutateur analogique en utilisant un montage buffer  
Figure 3B

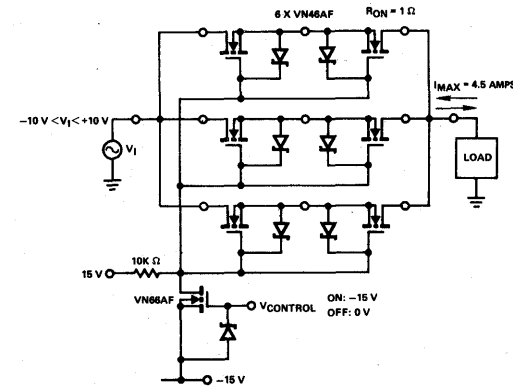


Circuit buffer haute rapidité  
Figure 3D

### Des VMOS en parallèle sans équilibrage ni compensation

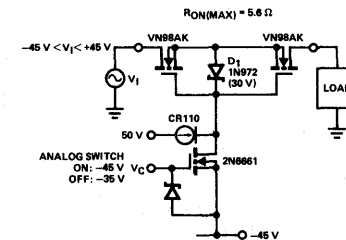
On diminue la résistance  $R_{ON}$  totale en mettant les VMOS en parallèle. Par exemple, 3 réseaux parallèles de deux VMOS chacun ramènent la résistance du commutateur à 1  $\Omega$  — figure 4A — et comme il n'y a pas d'emballement thermique avec les VMOS, il n'est pas nécessaire de mettre des résistances ballast d'équilibrage. Le coefficient de température négatif des VMOS fait qu'ils conduisent moins de courant quand ils s'échauffent. Il en résulte qu'un excès de courant est automatiquement partagé entre les VMOS en parallèle.

En mettant en parallèle 3 VMOS, non seulement on diminue la résistance  $R_{ON}$ , mais on augmente la capacité en



Commutateur analogique à très faibles résistance (1  $\Omega$ )  
Figure 4A

Il n'y a pas besoin de résistance ballast ou d'équilibrage quand plusieurs VMOS sont montés en parallèle (A) à cause de leur coefficient de température négatif. Ce montage étend la plage linéaire de 0,3 A à 1,2 A (B), diminue la résistance  $R_{ON}$  du commutateur analogique jusqu'à 1  $\Omega$  et augmente la capacité de courant jusqu'à 4,5 A.



Porte analogique commutant un signal analogique de 90 V crête à crête

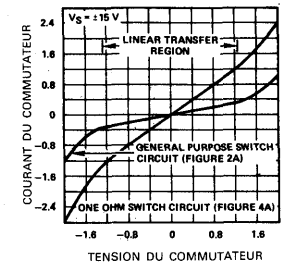
Avec un VN97AK ayant une tension de claquage de 90 V et une  $R_{ON}$  de 3  $\Omega$ , vous pouvez commuter  $\pm 40$  V. La diode Zener limite les potentiels gate source à 30 V.

Figure 5

courant jusqu'à 6 A, et on accroît la plage linéaire de la caractéristique de transfert pour les grands signaux de 0,3 A à 1,2 A comme le montre la figure 4B.

La plage en tension du commutateur analogique de base peut aussi être augmentée. Il suffit d'utiliser un VMOS ayant une tension de claquage plus élevée (fig. 5). Le VN 98 AK a une tension de claquage de 90 V, ce qui permet de commuter des signaux allant jusqu'à  $\pm 40$  V. Cependant, ces dispositifs haute-tension ont une résistance  $R_{ON}$  plus élevée : 3,5  $\Omega$  contre 3  $\Omega$  pour les VN 46 AF.

La diode zener D1 limite le potentiel gate source à 30 V et empêche donc un éventuel percement de la couche d'oxyde de la gate. La diode CR 100 limite le courant à partir d'une tension gate de 50 V.



Caractéristique de transfert en grands signaux  
Figure 4B

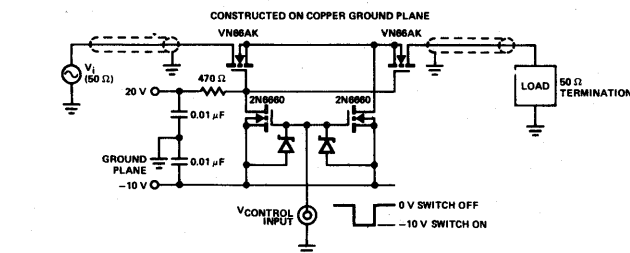


## Enfin, une grande vitesse de commutation

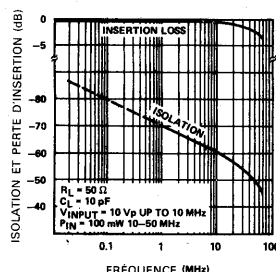
Le montage commutateur radio-fréquence montré figure 6 fonctionne correctement jusqu'à 50 MHz, avec des temps de commutation tON et tOFF de 50 ns. A 10 MHz, l'isolation OFF est encore de 60 dB avec un signal d'entrée de 20 Vc-c. La perte d'insertion est seulement de 1dB avec une charge de 50 Ω (figure 6B). La courbe du gain en fonction de la puissance d'entrée — figure 6C — montre

que la porte analogique utilisant des VN 66 AK peut fournir 1 W à 14 MHz sur une charge de 50 Ω. Les courbes du produit d'intermodulation dû aux termes du troisième ordre montrent un point d'interception à 42 dB avec 1 dB de compression de gain à 25 dBm de puissance d'entrée.

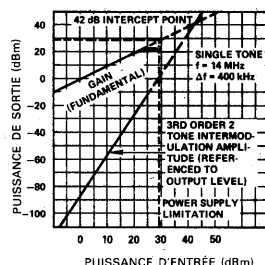
Le temps tON du commutateur — figure 6D — est déterminé par la résistance et par la capacité gate des VN66 AK. Le temps tOFF est dû au circuit de charge et à la capacité de sortie du VN 66 AK.



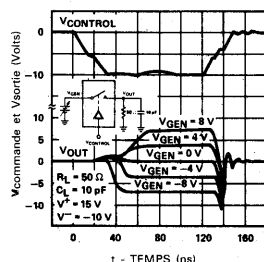
Commutateur analogique radio-fréquence  
Figure 6A



Pertes d'insertion et isolation  
en fonction de la fréquence du  
commutateur analogique RF  
Figure 6B



Gain et produit d'intermodulation  
Figure 6C



Temps de réponse du commutateur RF  
sur charge de 50  
Figure 6D

Le VN66AK commute en radio-fréquence de signaux de puissance (A). A 10 MHz, un signal de 20 V crête à crête est atténué de 60 dB et la perte d'insertion est seulement de 1 dB pour une charge de 50 Ω - 10 pF (B). Un point d'interception à 42 dB et une compression de gain de 1 dB pour un signal d'entrée de 25 dBm à 14 MHz sont possibles (C). La transition négative du « turn OFF » est due à la capacité de sortie du VN66AK (D).

## NOTE D'APPLICATION

### Régulateur de puissance à découpage 500 kHz 12 V/± 20 V

Cette étude décrit un régulateur de puissance fournissant du ± 20 à partir du 12 V. Il s'agit d'un convertisseur à accumulation utilisant la grande vitesse de commutation des VMOS. C'est un circuit de transfert d'énergie et non pas un circuit de transfert de tension ou de courant ; la puissance de sortie est maintenue à un niveau constant pour un point de fonctionnement donné du modulateur de largeur d'impulsion. Si la charge a besoin de moins de courant, il s'ensuit une augmentation de la tension de sortie. Réciproquement, si la demande du courant de sortie augmente, la tension de sortie diminuera pour maintenir constante la puissance de sortie ( $V \times I$ ). Ceci est en contraste évident avec les circuits classiques qui donnent une tension de sortie constante pour un point de fonctionnement du modulateur de largeur d'impulsion. Le maintien d'une puissance constante permet de simplifier la conception des circuits car les exigences des circuits magnétiques et des circuits filtres sont moins sévères.

Le circuit de base de la Fig. 1 indique le principe de fonctionnement. Il comprend le circuit de commande du modulateur de largeur d'impulsion, le commutateur de puissance en VMOS, la self (L) du circuit d'accumulation, la diode (D), le condensateur (C), ainsi qu'un amplificateur d'erreur.

Le circuit de commande du modulateur lequel fournit l'impulsion au commutateur de puissance VMOS constitue le cœur du système. L'impulsion de sortie du modulateur a une largeur proportionnelle à la tension de commande d'entrée et une fréquence déterminée par l'horloge externe. Grâce à l'amplificateur d'erreur et à la tension de référence on peut contrôler l'entrée du modulateur et empêcher toute augmentation ou réduction de sa tension de sortie au fur et à mesure de variations du circuit de charge. Ils agissent dans la boucle de contre-réaction dans ce circuit de commande mieux qu'un asservissement. Les formes d'onde sont indiquées à la Fig. 2 ; La figure 2a décrit les conditions qui existent pour un rapport cyclique de 50 % (maximum) et la figure 2b celles qui existent pour un rapport cyclique faible.

Le fonctionnement est le suivant :

1. Le VMOS est à l'état conducteur entre  $t_0$  et  $t_1$  et la tension d'alimentation se retrouve aux bornes de L. Le courant drain est en première approximation proche de :

$$I_1 = t \times V_A / L$$

et le courant final de :

$$I(\text{crête}) = (t_1 - t_0) V_A / L$$

L'énergie emmagasinée dans L est :

$$E_L = (t_1^2 - t_0^2) V_A^2 / 2L$$

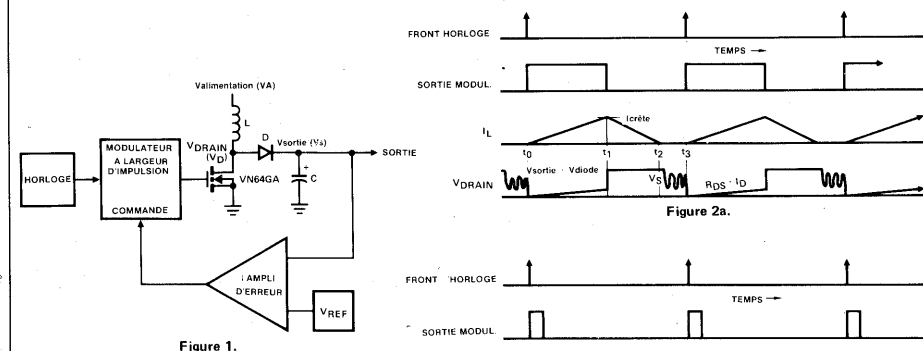


Figure 1.

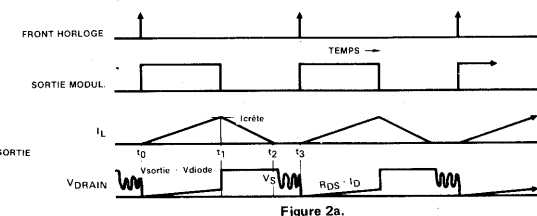


Figure 2a.

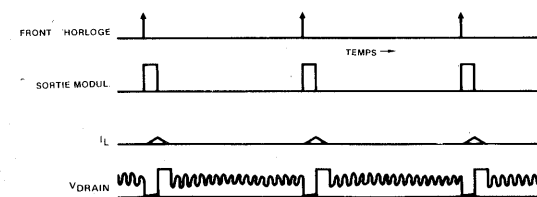


Figure 2b.

2. A l'instant  $t_1$ , le VN64GA est bloqué et sa tension drain augmente jusqu'à la tension de C plus la chute de tension directe de D à cause de la bobine d'induction L. Ceci fonctionne bien quand  $V_{\text{sortie}} (V_s)$  est nettement plus grand que  $V_{\text{alimentation}} (V_a)$ , ce qui permet le transfert dans C de pratiquement toute l'énergie emmagasinée dans L sans pointes importantes de courant ou de tension.

3. Entre  $t_2$  et  $t_3$ , aucun courant continu ne passe dans L et  $V_{\text{drain}}$  tend vers  $V_{\text{alim}}$ , bien qu'il se produise des oscillations entre L et la capacité du VMOS et D. Le cycle se répète alors à la fréquence  $F_{\text{horloge}}$  de sorte que la puissance tirée à partir de  $V_s$  est :

$$(\frac{1}{2} t_1 - t_0) V^2 A F_{\text{horloge}}$$

Si nous prenons un rapport cyclique :

$$\delta = \frac{t_1 - t_0}{t_3 - t_0} = (t_1 - t_0) F_{\text{horloge}}$$

$$\text{où } F_{\text{horloge}} = \frac{1}{t_3 - t_0} \text{ alors, } P_{\text{entrée}} = \frac{\delta V^2 A (t_1 - t_0)}{2}$$

Si  $\delta \approx \frac{1}{2}$  max alors  $P_{\text{entrée}} (\text{max}) = V^2 A / 8 L F_{\text{horloge}}$

Le courant de crête dans le VMOS sera près de  $\frac{4 P_{\text{sortie}}}{\eta V A}$  et la valeur de l'inductance L sera :

$$\eta V^2 A / 8 F_{\text{horloge}} P_{\text{sortie}}$$

avec  $\eta$  = le rendement de puissance global du circuit.

Par ordre d'importance, les pertes de puissance dans le circuit sont les suivantes :

A. Perte  $I_D^2 R_{DS}$  dans le commutateur VMOS

B. Perte  $I_{\text{charge}} V_F$  dans la diode D

C. Pertes de commutation dans D dues à une caractéristique d'établissement lente. Ceci permet réellement une tension de polarisation directe sur D de plusieurs volts juste à l'instant  $t_1$  tandis que la diode va devenir conductrice. Les pertes au blocage ne sont pas importantes dans ce circuit.

D. Pertes dans L dues aux effets de saturation et d'hystérésis. Il faut que la self passe un courant  $I = \frac{4 P_{\text{sortie}}}{\eta V A}$

ce qui entraîne généralement des pertes magnétiques et des pertes de saturation. A haute fréquence, il faut heureusement moins de spires sur L, ce qui réduit le nombre d'Ampères-tours; d'autre part, le matériau du noyau de L peut être une ferrite haute fréquence qui est moins susceptible d'être saturée (pour une inductance donnée).

E. Pertes dues à  $C_{\text{parasites}} V^2_{\text{sortie}} F_{\text{horloge}}$  où  $C_{\text{parasites}}$  comprend  $C_{DS}$  du VMOS et  $C_D$  du redresseur.

La fig. 3 représente le schéma d'un régulateur à découpage de 35 W, conçu pour produire des tensions de sortie réglées de  $\pm 20$  V à partir d'une tension d'entrée 12-16 V.  $U_1$  est un oscillateur à trigger de Schmitt ayant un rapport cyclique nominal de 50%. Entre  $U_1$  et l'étage de puissance  $Q_5$  - VN64GA - on trouve des étages séparateur constitués par 5 portes montées en parallèle -  $U_2$  à  $U_6$  - et  $Q_4$ . Par l'amplificateur de réaction  $Q_2$  et sa diode Zener de 18 V on réduit le rapport cyclique pour stabiliser la tension de sortie.  $Q_1$  et ses diodes associées détournent le courant de décharge de  $Q_2$  du condensateur C pendant la période de décharge de la self et lui permettent de réduire la période durant laquelle le courant primaire est tiré.  $Q_3$  et sa diode Zener de 21 V empêchent toute augmentation de la sortie (au cas où il se produirait une anomalie de fonctionnement dans le circuit de contre réaction du régulateur), par simple limitation de la commande de gate de  $Q_5$ .

L est bobiné sur un noyau de ferrite dont le tore a un diamètre de  $1 \frac{1}{2}$  pouce ( $\sim 3,75$  cm) et une section de  $1/10$  pouce<sup>2</sup> environ ( $\sim 6,5$  cm<sup>2</sup>). La résistance de l'enroulement doit être inférieure à  $1/20 \Omega$ ; 22 tours environ sont largement suffisants.

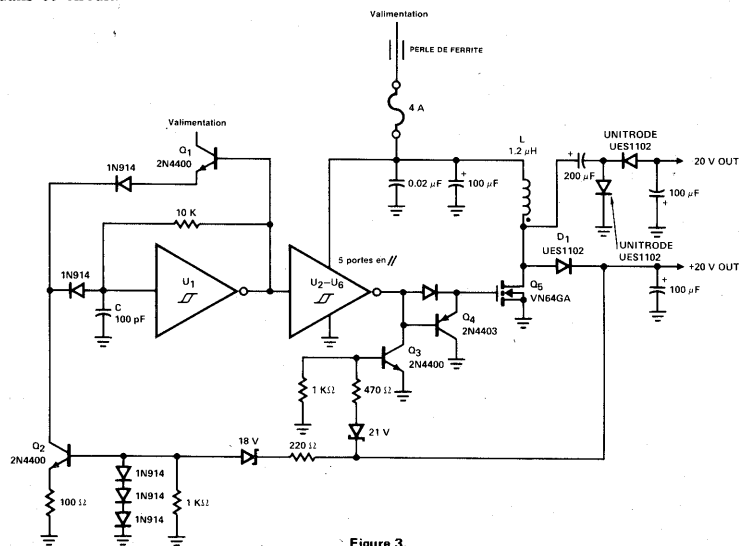


Figure 3.

## NOTE D'APPLICATION

### Régulateur de moteur triphasé

Alexander Strong  
Dave Hoffman  
Janvier 1979

#### INTRODUCTION

L'avènement des transistors de puissance VMOS sur le marché entraînera d'importantes modifications dans un large domaine d'applications allant des alimentations aux amplificateurs radio fréquence. Pour les ingénieurs, les transistors bipolaires souffrent d'un certain nombre de limitations telles que les coefficients de température négatifs, les problèmes de temps de stockage et les réductions de gain en puissance, en fonctionnement à courant élevé et haute fréquence. Les VMOS n'ont aucun de ces inconvénients. Même si vous avez besoin d'un transistor très élaboré et moderne pour votre application particulière, il est possible que vous vous posiez la question suivante : « pour quoi devrais-je acheter des VMOS alors que je peux utiliser des transistors habituels de prix réduit ? ». La réponse est la suivante : « Les semi-conducteurs VMOS ont besoin de très peu de puissance d'entrée pour le fonctionnement et des circuits intermédiaires ne sont pas nécessaires ». Le transistor VMOS est un générateur de courant se commandant en tension à partir de circuits tels que ampli opérationnels, circuits logiques CMOS ou TTL... Cette note d'application décrit un schéma d'un régulateur de moteur triphasé utilisant uniquement des circuits intégrés CMOS et des transistors de puissance VMOS.

#### Régulateur de moteur triphasé.

Le circuit régulateur du moteur triphasé est composé d'un oscillateur, d'un circuit de division par deux, d'un circuit

de division par trois et d'un convertisseur série-parallèle (Fig. 1). L'oscillateur commande les fonctions logiques du circuit en produisant un signal d'horloge. Les circuits de division par deux et de division par trois fournissent les signaux d'entrée au convertisseur série-parallèle. Les sorties en parallèle du convertisseur sont déphasées de  $120^\circ$  et elles ont une période égale à six périodes d'horloge (Fig. 2). Chaque phase chevauche la suivante de  $60^\circ$  ( $\frac{1}{2}$  période d'oscillateur) afin de garantir que le moteur démarre automatiquement et qu'il tourne sans heurts à faible vitesse. La Fig. 2 indique les trois formes d'onde de sortie pour la marche avant. Les modes marche avant et marche arrière peuvent être commandés par un niveau de tension haut-bas appliqué au convertisseur.

Un régulateur de moteur à vitesse variable peut être obtenu en commandant l'entrée « mode » du convertisseur par un signal à rapport cyclique variable (par exemple avec un rapport cyclique haut-bas de 50 % arrête le moteur). Le reste de cette note d'application décrit en détails chacune des fonctions.

L'oscillateur peut être constitué d'inverseurs CMOS standards, comme indiqué à la Fig. 3. La résistance (R) et le condensateur (C) ont été choisis pour qu'on obtienne la fréquence désirée.

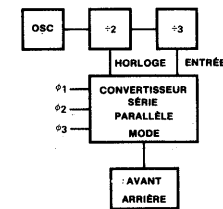


Figure 1 Circuit régulateur

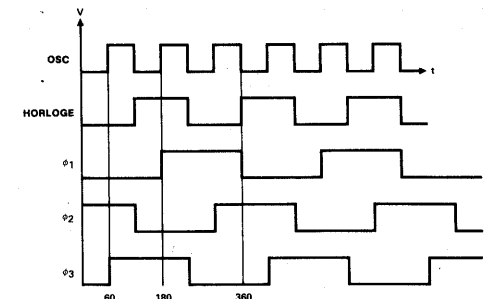


Figure 2. Forme d'onde de sortie (marche avant)

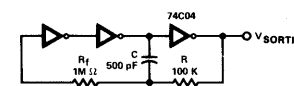


Figure 3. Oscillateur

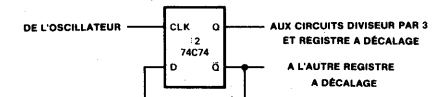


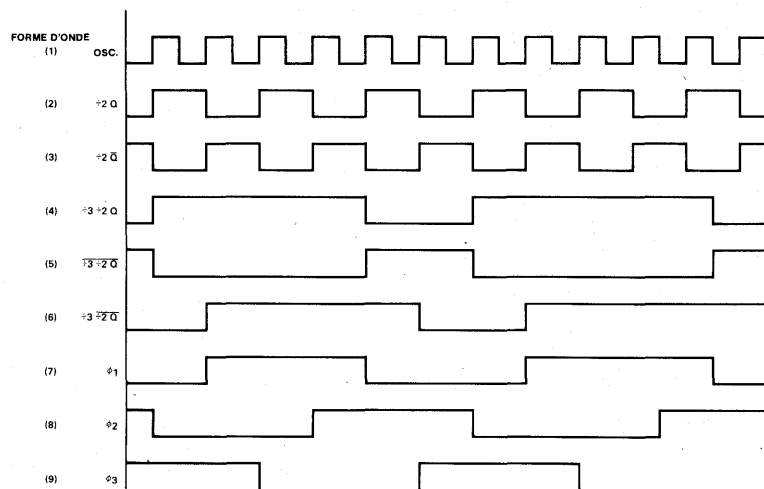
Figure 4. Circuit de division par 2

La sortie de l'oscillateur est appliquée à l'entrée du circuit de division par 2. Ce circuit est composé d'un multivibrateur bistable D qui accepte la forme d'onde de l'oscillateur non symétrique et délivre deux formes d'onde symétriques, l'une étant déphasée de  $180^\circ$  par rapport à l'autre. La sortie du circuit de division par 2 déclenche le circuit de conversion série-parallèle (deux résistances de décalage) et est transmise au circuit de division par trois.

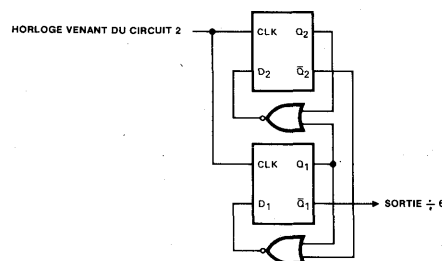
D'autre part, la forme d'onde symétrique du circuit de division par 2 est convertie en une forme d'onde asymétrique.

que divisée à nouveau par trois. La Fig. 6 indique les circuits logiques utilisés pour réaliser cette fonction. Les diverses formes d'onde sont montrées Figure 5.

Le chevauchement des phases est nécessaire pour assurer un démarrage automatique ainsi qu'un bon fonctionnement à faible vitesse. L'entrée du convertisseur série-parallèle est attaquée à partir du circuit de division par trois et la sortie du circuit donne trois codes parallèles ayant un rapport cyclique et un déphasage appropriés.



**Figure 5. Diagramme temps**



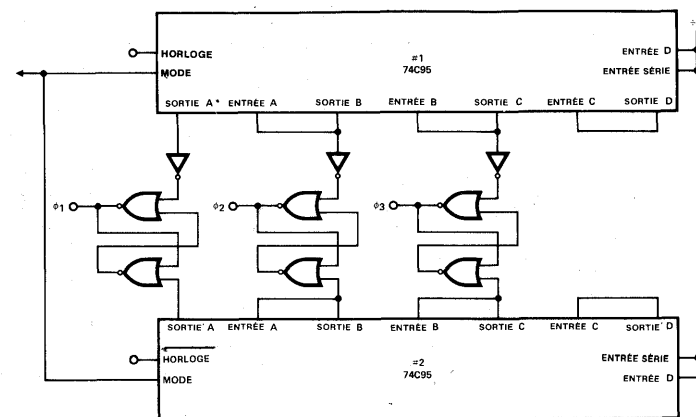
**Figure 6. Circuit de division par 3**

Les dispositifs utilisés pour réaliser cette fonction sont constitués de deux registres à décalage et de bistables R-S (Fig. 7). On utilise les formes d'onde de sortie de chaque registre de décalage (Fig. 5, formes d'onde # 4 et 6) pour produire les sorties de phase. Les formes d'onde (# 4) du registre à décalage # 1 (horloge non inversée) sont inversées (# 5) puis transmises aux bascules bistables R-S. La Fig. 5 indique la manière dont est utilisée la fonction set-reset (P-S) pour produire la forme d'onde # 7 à partir des formes d'onde # 5 et # 6. Durant le cycle, il y a un instant où les deux entrées à la bascule bistable R-S sont élevées ; il s'agit là d'un état non défini. Il est donc important que la sortie de la porte NOR, dont l'entrée est attaquée par l'inverseur, soit choisie pour commander la phase.

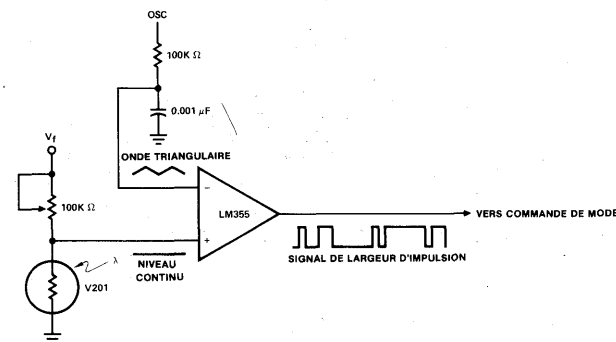
Les formes d'onde # 7, # 8 et # 9 sont les 3 sorties de phase qui vont au circuit de commande. L'ordre des phases est 1-2-3-1-2-3 pour la marche avant. On y parvient en fixant la commande de mode au niveau bas ; lorsqu'elle est

au niveau haut, l'ordre des phases est 1-3-2-1-3-2, ce qui impose la marche arrière du moteur. On obtient une vitesse variable quand l'entrée MODE est commandée par une onde rectangulaire à rapport cyclique variable. La méthode utilisée pour produire un signal de largeur d'impulsion variable est indiquée à la fig. 8.

Comme on utilise des circuits CMOS pour la commande des transistors VMOS, il s'ensuit une simplification dans la construction du modulateur de largeur d'impulsion. Les impulsions d'entrées des VMOS sont produites à partir d'ondes triangulaires, lesquelles proviennent d'un oscillateur et d'un niveau continu variable, produit par un diviseur résistif à effet photoélectrique. Lorsque la tension continue en provenance du photodiviseur est supérieure au niveau de tension de l'onde triangulaire, la sortie bloque le niveau élevé. Le niveau continu du photodiviseur détermine le rapport cyclique de la commande de MODE.



**Figure 7. Convertisseur série-parallèle**



**Figure 8. Régulateur de mode**

Le transistor à effet de champ de puissance VMOS VN64GA simplifie le circuit de commande (Fig. 9). On a besoin de très peu de puissance pour assurer la commutation du transistor VMOS. En effet, il faut uniquement un apport de tension de 15 V pour  $Q_2$ . Lorsque le circuit de commande fournit du courant au moteur, la source de  $Q_2$  est à 60 V. On a besoin d'un VN88AF ( $Q_3$ ) pour assurer les 15 V d'enrichissement de gate requis par  $Q_2$ . On peut connecter ensemble des gates de  $Q_1$  et  $Q_3$  pour assurer une liaison d'entrée appropriée. Il convient d'ajouter une résistance de gate en série du fait que le VMOS a une impédance d'entrée et un gain en puissance élevés. Cette ré-

sistance amortira les oscillations HF qui risquent de se produire lors de la transition de commutation. Ces trois transistors suffisent pour faire la commande d'une des trois phases.

La construction complète du régulateur de moteur triphasé est indiquée à la Fig. 10. Le régulateur qui entraîne le moteur en marche avant et en marche arrière à des vitesses variables est composé de circuits intégrés CMOS très bon marché. On peut donc construire un régulateur de moteur compétitif en ajoutant un simple circuit de commande VMOS.

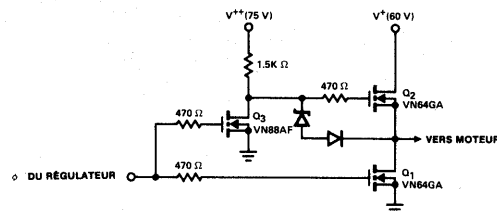


Figure 9. Un des trois circuits de commande

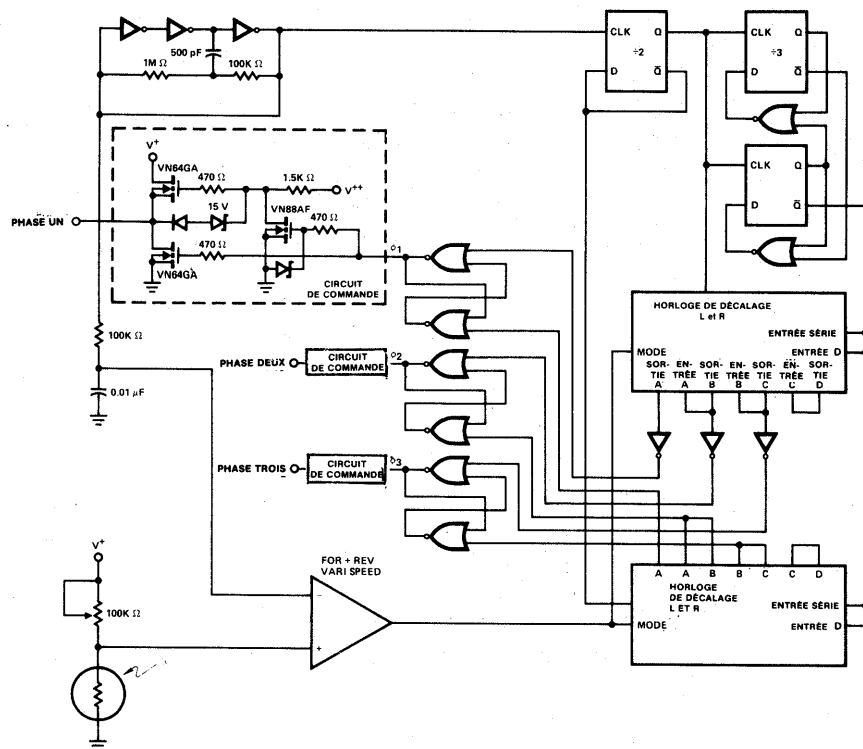


Figure 10. Régulateur de moteur

## NOTE D'APPLICATION

### Caractéristiques dynamiques d'entrée des transistors VMOS

Arthur Evans  
Dave Hoffman  
Janvier 1979

#### INTRODUCTION.

Les impératifs de puissance de commande d'un VMOS dépendent de la vitesse à laquelle on désire le saturer ou le bloquer.

La résistance d'entrée en continu d'un VMOS est supérieure à  $10^{12}$  Ohm. Lorsqu'on l'utilise sous forme de commutateur, la puissance nécessaire pour le maintenir à l'état saturé ou à l'état bloqué est négligeable. Cependant, il faut une certaine énergie pour le faire passer d'un état à l'autre. Les vitesses de commutation ON-OFF détermineront donc les impératifs de puissance d'entrée.

Si on connaît la capacité d'entrée équivalente  $C_E$  du VMOS et la variation de  $V_{gs}$ , il est possible d'évaluer l'énergie nécessaire :

$$W = \frac{1}{2} C_E \Delta V_{gs}^2 \text{ Watt-seconde (1)}$$

$C_E$  est une fonction de  $V_{gs}$  et  $V_{ds}$ .

Lors de la commutation, on passe pendant la transition d'un état conducteur ON à un état bloqué OFF. Les caractéristiques de capacité indiquées sur la fiche technique des VMOS sont spécifiées pour un état de polarisation fixe, et ceci peut constituer un problème lorsqu'on essaie d'estimer  $C_E$  à partir de l'équation d'énergie indiquée ci-dessus.

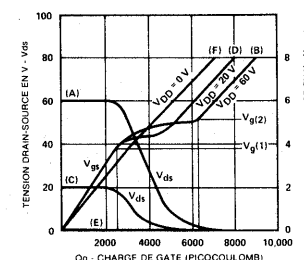
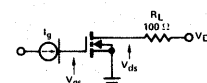
Une meilleure méthode consiste à déterminer la charge de gate  $Q_g$  en fonction de  $V_{gs}$ . La différence de  $Q_g$  entre l'état conducteur et celui de blocage indique l'énergie nécessaire pour effectuer le changement :

$$W = \frac{1}{2} (\Delta Q_g) (\Delta V_{gs}) \text{ Watt-seconde (2)}$$

La fig.1 indique les caractéristiques de  $V_{gs}$  en fonction de  $Q_g$  pour un transistor VMOS du type VN64GA. On a obtenu ces courbes en utilisant une commande de gate à courant constant.

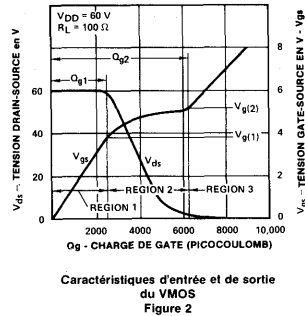
Fig. 1 Caractéristiques d'entrée ( $V_{gs}$ ) et de sortie ( $V_{ds}$ ) d'un VMOS

COURBES	F de	CARACTÉRISTIQUES
A	60 V	$V_{ds}$ F de $Q_g$
B	60 V	$V_{gs}$ F de $Q_g$
C	20 V	$V_{ds}$ F de $Q_g$
D	20 V	$V_{gs}$ F de $Q_g$
E	0 V	$V_{ds}$ F de $Q_g$
F	0 V	$V_{gs}$ F de $Q_g$



Caractéristiques d'entrée et de sortie d'un VMOS

les courbes pour  $V_{DD} = 60$  V sont reproduites à la Fig. 2. On peut reconnaître trois régions sur la courbe de caractéristiques d'entrée. Dans la région 1,  $V_{gs}$  est inférieur à la tension de seuil et le VMOS est bloqué (OFF). Dans la région 2,  $V_{gs}$  dépasse  $V_{g1}$  et par suite, le courant drain commence à augmenter jusqu'à ce qu'à  $V_{g2}$ , la saturation  $V_{ds}$  soit atteinte. Dans la région 3,  $V_{ds}$  est saturé et on ne note plus de variation ni de  $I_d$  ni de  $V_{ds}$ .



La capacité dans la région 1 est relativement constante ainsi qu'on peut le voir par la pente constante. Sa valeur est d'environ :

$$C_E(1) = \frac{Q_{g1}}{V_{g1}} \quad (3)$$

$$= \frac{2450 \text{ pC}}{3.8 \text{ V}} = 645 \text{ pF}$$

Dans la région 2,  $C_E$  augmente parce que le VMOS commence à passer à l'état conducteur ON et que  $V_{ds}$  commence à varier, ce qui entraîne une variation de  $V_{gd}$ . A cause de l'EFFET DE MILLER sur  $C_{gd}$  on provoque l'augmentation de  $C_E$ . Cet effet s'arrête lorsque le dispositif est entièrement à l'état conducteur ON et que  $V_{ds}$  ne varie plus. Dans cette région, la capacité approximative est de :

$$C_E(2) = \frac{Q_{g2} - Q_{g1}}{V_{g2} - V_{g1}} \quad (4)$$

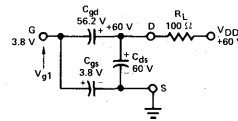
$$= \frac{(6250 - 2450) \text{ pC}}{(5.1 - 3.8) \text{ V}} = 2923 \text{ pF}$$

Dans la région 3, la tension de saturation  $V_{ds}$  est faible et il n'y a plus de variation de celle-ci. Le canal du VMOS est à l'état conducteur et  $C_E$  est supérieur à sa valeur dans la région 1 mais non aussi élevé que dans la région 2. Car il n'y a plus d'EFFET DE MILLER. Les caractéristiques indiquent que :

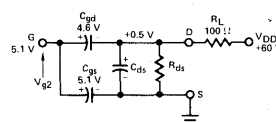
$$C_E(3) = \frac{\Delta Q_g}{\Delta V_{gs}} = 875 \text{ pF} \quad (5)$$

$C_E(1) - C_E(2)$  correspondent à  $C_{iss}$  et sont pratiquement égaux à  $C_{gs} + C_{gd}$ . La différence de valeur provient des différences de  $V_{ds}$  dans les régions 1 et 3. La Fig. 3 indique les conditions de polarisation pour  $C_{gs}$  et  $C_{gd}$  à la fin de la région 1 ( $V_{gs} = V_{g1}$ ) et au début de la région 3 ( $V_{gs} = V_{g2}$ ) (nous avons supposé  $V_{ds}(\text{sat}) \sim 0,5$  V).

Condition de polarisation à la fin de la région 1

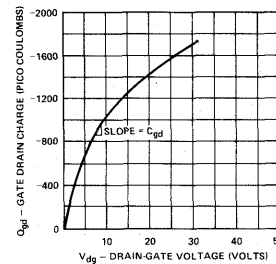


Condition de polarisation au début de la région 3.



Conditions de polarisation pour  $C_{gd}$ ,  $C_{gs}$  et  $C_{ds}$   
Figure 3

Il y a en effet un changement important dans la polarisation de  $C_{gd}$ . Dans la région 1, la zone drain située sous la gate est dépourvue de porteurs, ce qui entraîne une réduction importante de  $C_{gd}$ . Dans la région 3, la zone drain située sous la gate est envahie de porteurs parce que le dispositif est conducteur (ON), ce qui entraîne une forte augmentation de  $C_{gd}$ . La Fig. 4 indique les caractéristiques  $Q_{gd}$  par rapport à  $V_{gd}$  pour un VN64GA type.



Courbe de la capacité gate-drain  
Figure 4

La capacité type  $C_{iss}$  indiquée dans la fiche technique du VN64GA est de 640 pF. Ceci correspond à la capacité  $C_E(1)$  estimée ci-dessus sur la Fig. 3. Dans les deux cas le dispositif est bloqué et  $C_{gd}$  a une grande tension de polarisation inverse. Dans la région 2 où le VMOS est en cours de commutation,  $C_E$  a environ la valeur suivante :

$$C_E(2) \approx C_{iss} - \Delta V C_{rss} \quad (6)$$

avec  $\Delta V = \Delta V_{ds} / \Delta V_{gs}$ , and  $C_{rss} = C_{gd}$ .

Dans notre exemple, si on utilise des valeurs types pour  $C_{iss}$  et  $C_{rss}$  à partir de la fiche technique et  $V_{ds}$  comme indiqué à la Fig. 3, on obtient la capacité suivante :

$$C_E(2) = C_{iss} - \frac{\Delta V_{ds}}{\Delta V_{gs}} C_{rss} \quad (7)$$

$$= 640 - \left( \frac{-59.5 \text{ V}}{1.3 \text{ V}} \right) 50$$

$$= 2928 \text{ pF}$$

ce qui correspond à la valeur estimée avec la Fig. 2 et l'équation 4.

Il se produit un retard de croissance dans la région 1 tandis que la gate se charge jusqu'à la tension de seuil  $V_{g1}$ . A cet instant, le VMOS commence à conduire et il est complètement saturé (ON) lorsque la tension de saturation  $V_{ds}$  est atteinte à  $V_{g2}$ .

Il se produit un dépassement dans la région 3. L'excès de charge dans la région 3 entraîne un retard de décroissance. On peut réduire les retards de mise à l'état conducteur et de blocage en prépolarisant la gate à une tension  $V_{gs}$  juste en dessous de  $V_{g1}$  et en évitant toute surcharge dans la région 3. Cependant, ceci provoque une réduction de la marge en bruit du circuit de commutation et impose une commande plus précise de la tension gate compte tenu de la tension de seuil  $V_{gs}(\text{th})$  du VMOS.

La Fig. 2 indique que  $C_E(1)$  et  $C_E(3)$  sont pratiquement constants.  $C_E(2)$  augmente au fur et à mesure de la réduction de  $V_{ds}$  parce que  $C_{gd}$  croît. Pour la détermination du temps de commutation de la région 2 nous pouvons prendre en compte la valeur moyenne de l'équation 4.

La gate étant commandée par une source de courant  $I_g$ , les temps  $t_1$  et  $t_2$  peuvent être déterminés de la manière suivante :

$$t_1 = \frac{Q_{g1}}{I_g}; \quad t_2 = \frac{Q_{g2}}{I_g} \quad (8)$$

Si le générateur de commande est résistif, on peut estimer les temps au moyen des équations suivantes : (voir l'annexe)

$$t_1 = -\frac{Q_1}{V_{g1}} R_{gen} \lg \left( 1 - \frac{V_{g1}}{V_{GG}} \right) \quad (9)$$

$$t_2 - t_1 = -\frac{Q_2 - Q_1}{V_{g2} - V_{g1}} R_{gen} \lg \left( 1 - \frac{V_{g2} - V_{g1}}{V_{GG} - V_{g1}} \right) \quad (10)$$

avec  $V_{GG}$  = tension en circuit ouvert du générateur et  $R_{gen}$  = résistance de sortie du générateur.

Supposons par exemple, qu'on ait un générateur délivrant 10 V sur une résistance d'impédance  $R_{gen}$  de 10000 Ohm. On obtient les valeurs suivantes à partir de la courbe de caractéristiques d'entrée de la Fig. 2 :

$$Q_{g1} = 2450 \text{ pC}$$

$$Q_{g2} = 6250 \text{ pC}$$

$$V_{g1} = 3,8 \text{ V}$$

$$V_{g2} = 5,1 \text{ V}$$

On peut calculer les temps au moyen des équations 9 et 10 :

$$t_1 = 3.08 \text{ } \mu\text{s}$$

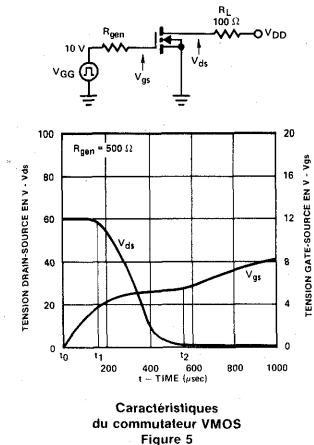
$$t_2 - t_1 = 6.88 \text{ } \mu\text{s}$$

Le temps total de croissance  $t_2$  (temps nécessaire pour faire passer le VMOS à l'état de saturation) vaut environ 10  $\mu\text{s}$ . Si on réduit  $R_1$  à 500 Ohm, ceci réduit le temps de croissance à environ 500 ns. Il est évident qu'on peut parvenir à des réductions du temps de croissance plus importantes en réduisant  $R_1$  encore plus.

On peut calculer le temps total de décroissance de la même manière. A partir de l'état saturé, la valeur initiale de  $V_{gs}$  est  $V_{GG}$ . Il se produit un retard jusqu'à ce que  $V_{gs}$  tombe à  $V_{g2}$ . En dessous de  $V_{g2}$ ,  $V_{ds}$  commence à s'éloigner de la saturation et le VMOS sera complètement bloqué lorsque la tension  $V_{gs}$  tombera en dessous de la tension de seuil  $V_{g1}$ .

La Fig. 5 indique les caractéristiques d'entrée et de sortie pour  $R_{gen} = 500$  Ohm. Les valeurs mesurées de  $t_1$  et  $t_2$  sont supérieures aux valeurs calculées de 4 à 11 %.

Les temps mesurés et calculés sont indiqués au Tableau 1.



Caractéristiques du commutateur VMOS  
Figure 5

TABLE 1

TEMPS	$R_{gen} = 10,000 \Omega$		$R_{gen} = 500 \Omega$	
	CALCULÉ	MESURE	CALCULÉ	MESURE
$t_1$	3.08 $\mu\text{s}$	3.2 $\mu\text{s}$	154 nsec	160 nsec
$t_2 - t_1$	6.88 $\mu\text{s}$	7.2 $\mu\text{s}$	344 nsec	395 nsec
$t_2$	9.96 $\mu\text{s}$	10.4 $\mu\text{s}$	498 nsec	555 nsec

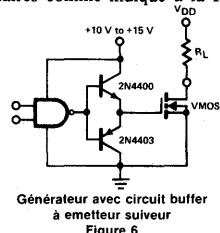
Comme on a uniquement besoin de puissance d'entrée sur la gate lors des transitions de commutation, il est donc souhaitable de disposer d'un circuit de commande ayant une faible puissance de repos et capable de fournir des impulsions de courant élevé lors des transitions si on veut une commutation à vitesse élevée.

Comme indiqué à la Fig. 2, il faut 6250 pC au VN64GA pour charger la gate jusqu'à  $V_{g2}$ , tension nécessaire pour faire passer la sortie à l'état de saturation. L'équation 8 montre que pour obtenir un temps total de croissance (ton) de 20 ns il faut un courant  $I_g$  de :

$$I_g = \frac{6250 \cdot 10^{-12}}{20 \cdot 10^{-9}} C = 313 \text{ mA.}$$

Une solution consiste à utiliser une horloge MOS de commande telle que le MH0026. Conçue pour fournir des pointes élevées de courants sur des charges capacitatives et ayant une faible puissance de repos.

Une autre solution consiste à interposer entre le générateur et le VMOS un montage tampon à charge d'émetteurs complémentaires comme indiqué à la Fig. 6.



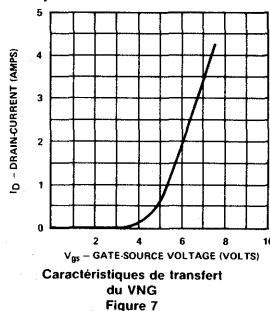
#### Effet de la charge drain sur $Q_{g2}$ .

Les caractéristiques présentées jusqu'à maintenant l'étaient avec une résistance de charge de drain de 100 Ohm. (Avec  $V_{DD} = 60 \text{ V}$ , l'intensité maximum  $I_D = 600 \text{ mA}$ ).

Pour différentes valeurs de  $I_D$  (max) on peut obtenir la tension  $V_{g2}$  requise au moyen de la caractéristique de transfert du VMOS ( $I_D$  fonction de  $V_{gs}$ )  $V_{DD}$ . Avec cette valeur de  $V_{g2}$ , on peut évaluer  $Q_2$  à partir de la courbe appropriée de la Fig. 1.

Si par exemple, on suppose qu'on a besoin d'un courant de charge saturé de 2 A et que  $V_{DD}$  a une tension de 60 V, la courbe de transfert de la Fig. 7 indique que  $V_{gs} \sim 6 \text{ V}$ , pour  $I_D = 2 \text{ A}$ . La courbe  $V_{DD}$  de 60 V de la Fig. 1 (courbe B) indique que  $Q_g$  a une capacité d'environ 7000 pC.

La charge drain n'a pratiquement aucun effet sur  $Q_{g1}$  et donc aucun sur  $t_1$ .



#### ANNEXE.

Nous avons supposé que  $C_E$  (1) est constant pour  $V_{gs} \leq V_g$  (1) et que  $C_E$  (2) est constant pour  $V_{g1} \leq V_{gs} \leq V_{g2}$  dans les équations 9 et 10. La Fig. A1 montre un générateur d'impulsions de tension en circuit ouvert  $V_{GG}$  et ayant une résistance de sortie  $R_{gen}$  pour charger un condensateur  $C_E$ .

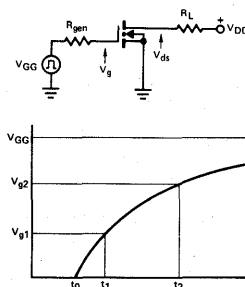


Fig. A-1

Pour  $C_E$  constant,  $V_g$  en fonction du temps s'exprime par :

$$V_g(t) = V_{GG} \left[ 1 - \exp\left(-\frac{t}{R_{gen} C_E}\right) \right] \quad (A1)$$

$$\frac{V_g(t)}{V_{GG}} = \left[ 1 - \exp\left(-\frac{t}{R_{gen} C_E}\right) \right] \quad (A2)$$

Réolvons l'équation A2 pour trouver  $t_1$  :

$$t_1 = (C_E(1) R_{gen}) \log\left(1 - \frac{V_{g1}}{V_{GG}}\right) \quad (A3)$$

Le temps  $t_2 - t_1$

$$t_2 - t_1 = (C_E(2) R_{gen}) \log\left(1 - \frac{V_{g2} - V_{g1}}{V_{GG} - V_{g1}}\right) \quad (A4)$$

Dans notre exemple, à partir de la figure 2 :

$$C_E(1) = \frac{\Delta Q_g}{\Delta V_g} = \frac{Q_{g1}}{V_{g1}} \quad (A5)$$

et

$$C_E(2) = \frac{\Delta Q_g}{\Delta V_g} = \frac{Q_{g2} - Q_{g1}}{V_{g2} - V_{g1}} \quad (A6)$$

donc

$$t_1 - t_0 = \frac{Q_{g1}}{V_{g1}} R_{gen} \log\left(1 - \frac{V_{g1}}{V_{GG}}\right) \quad (A7)$$

et

$$t_2 - t_1 = \left[ \frac{Q_{g2} - Q_{g1}}{V_{g2} - V_{g1}} \right] R_{gen} \log\left(1 - \frac{V_{g2} - V_{g1}}{V_{GG} - V_{g1}}\right) \quad (A8)$$

Comme  $C_E$  change à  $V_g$  (1), nous utilisons cette méthode à deux reprises pour déterminer le temps total de  $t_2$  (ton).

## NOTE D'APPLICATION

### Comment commander les transistors VMOS de puissance ?

#### INTRODUCTION

Il vous sera possible d'obtenir des performances jamais réalisées auparavant en utilisant des transistors à effet de champ de puissance VMOS sous réserve que vous les commandiez correctement. Cet article décrit des circuits et suggère des méthodes de conception à utiliser pour obtenir les performances que vous avez besoin en utilisant les VMOS.

Lors de la conception des circuits utilisant des transistors VMOS, il y a certains faits qu'il faut avoir à l'esprit afin d'obtenir des résultats optima. Le transistor VMOS est tout d'abord un dispositif à très haute fréquence. La fréquence de coupure pour tous les VMOS est de plusieurs centaines de MHz. La plupart des ingénieurs ne sont pas habitués à concevoir des circuits avec des dispositifs à fréquence extrêmement élevée car la réponse en fréquence des transistors bipolaires diminue au fur et à mesure de l'augmentation de puissance. La réponse à très haute fréquence des transistors VMOS est la base de nombreux avantages de ces dispositifs, aussi il faut toujours garder ce fait à l'esprit lors de la conception et la construction des circuits. Si l'étude des circuits est incorrecte, les transistors VMOS oscilleront. Il est cependant possible d'éliminer ces oscillations en prenant les deux simples précautions suivantes. Réduire tout d'abord les longueurs de pistes sur les circuits imprimés dans la mesure du possible et tout particulièrement les connexions de gate du VMOS. S'il n'est pas possible de le faire, il faut placer sur la connexion de gate du VMOS une perle de ferrite ou mettre sur le circuit imprimé une petite résistance en série avec la gate. Il faut d'autre part prévoir des circuits de commande à haute impédance par suite de l'impédance d'entrée extrêmement élevée des transistors VMOS (supérieure à  $10^{12} \Omega$ ). Sans ces précautions, il est possible qu'au nœud de gate, il reste suffisamment de réaction positive due à la capacité gate-drain ou aux capacités parasites de câblage pour entraîner ces oscillations. Il faut avoir toujours ceci présent à l'esprit lors de la construction de circuits.

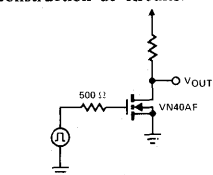


Figure 1

Quand on commande des transistors VMOS, il ne faut pas oublier que l'impédance d'entrée dynamique est très différente de l'impédance d'entrée statique. L'entrée d'un dispositif VMOS est capacitive. L'impédance d'entrée en continu est très élevée, mais l'impédance d'entrée en alternatif varie avec la fréquence. Il s'ensuit que les temps de montée et de descente dépendent de l'impédance de sortie du circuit de commande. En première approximation le temps de montée ou de descente est simplement :

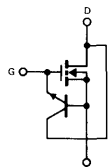
$$t_m \text{ ou } t_d = 2,2 \times R_{\text{sortie}} \times C_{\text{iss}}$$

avec  $R_{\text{sortie}}$  = impédance de sortie du circuit de commande. Cette équation s'applique uniquement si la résistance de charge drain est nettement supérieure à  $R_{\text{sortie}}$ . Si on n'ignore pas ce fait, ni le fait qu'il n'y a ni temps de retard, ni temps de stockage avec les transistors VMOS, il est très facile de calculer les temps de montée et de chute et de les adapter à la valeur souhaitée. Ainsi par exemple, si l'on désire calculer le temps de montée ou de descente, entre 10 % à 90 % du temps total pour le circuit indiqué à la Fig. 1, en utilisant l'équation 1, on obtient la valeur suivante pour le temps de montée :

$$t_m = (2,2) (500) (50 \times 10^{-12}) = 55 \text{ nsec}$$

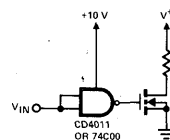
Les caractéristiques dynamiques d'entrée des transistors VMOS sont indiquées et décrites en détails dans la note d'application de Siliconix AN79-3 (1).

Finalement il ne faut pas oublier la diode Zener de protection d'entrée lors de la commande des transistors VMOS. Lorsqu'on met une tension positive sur la gate par rapport à la cathode, il ne faut pas dépasser la tension maximale définie pour la diode Zener. Il est même encore plus important de ne pas provoquer un état de polarisation directe de cette diode Zener en mettant une tension négative sur la gate lorsque le transistor VMOS fonctionne dans un circuit. On comprendra aisément ceci en se rapportant à la Fig. 2. Comme on peut le voir sur cette figure, la diode Zener est en fait la jonction base-émetteur d'un transistor bipolaire. Si on met une tension négative supérieure à 0,6 V sur la gate, cela revient à polariser en direct la jonction base-émetteur du transistor bipolaire ce qui mettra le transistor bipolaire à l'état conducteur. Lorsque le transistor bipolaire est conducteur, un courant circule du drain à la gate par le transistor bipolaire. Cette condition de fonctionnement risque d'entraîner des dégâts importants. Si on est obligé d'appliquer des tensions négatives sur la gate, il est recommandé d'utiliser un dispositif VMOS sans diode Zener d'entrée. Des dispositifs équivalents sans diode Zener sont disponibles pour la plupart des composants Siliconix avec diode Zener.

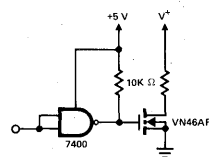


Transistor NPN parasite dans les VMOS protégés par diode Zener  
Figure 2

La configuration en source commune est la plus simple à commander. Il est en effet facile de le faire directement à partir de nombreux circuits logiques par suite de l'impédance d'entrée élevée des transistors VMOS. Si nous parlons d'une porte CMOS, comme indiqué à la Fig. 3, on peut prévoir des temps de montée et de descente d'environ 60 ns liés aux courants disponibles de collecteur et de source des portes CMOS (2). Si des temps de montée et de descente plus rapides sont nécessaires, il existe plusieurs méthodes pour les obtenir. Si on dispose de portes supplémentaires au niveau du circuit, une méthode simple consiste à les mettre en parallèle avec la porte déjà utilisée. Le courant supplémentaire disponible réduira les temps de montée et de descente. Si on ne dispose pas de portes supplémentaires, on peut utiliser un circuit tampon à charge d'émetteurs comme indiqué à la Fig. 4. Dans ce circuit, le courant disponible de commande du VMOS sera le courant de sortie de la porte CMOS multiplié par le coefficient bêta des transistors bipolaires. Comme les transistors bipolaires fonctionnent en montage à charge d'émetteurs, il n'y aura pas de problème de temps d'emmagasinage et la limite de fréquence sera déterminée soit par la porte CMOS soit par la valeur  $F_T$  des transistors bipolaires selon les circonstances.



Commande d'un étage VMOS avec une porte CMOS  
Figure 3

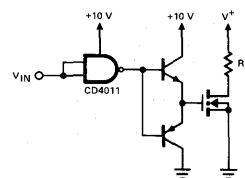


Commande d'un étage VMOS à partir d'une porte TTL ramené au +5 V pour augmenter son courant de conduction  
Figure 5

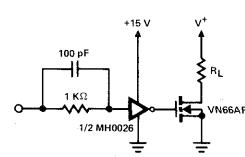
Les transistors VMOS peuvent également être directement commandés à partir de portes TTL. Comme la tension de sortie des portes TTL est limitée, le courant de sortie du VMOS sera limité à une valeur inférieure au courant maximal spécifié. On peut déterminer le courant de sortie auquel on peut s'attendre à partir des caractéristiques de transfert du dispositif utilisé. Ainsi par exemple, pour une commande du VN46AF par une porte TTL, le courant de sortie minimum du VMOS sera d'environ 250 mA. On obtient cette valeur en utilisant la tension de sortie minimale de la porte TTL (3,2 V) pour un niveau haut et en se référant aux caractéristiques de transfert du VNAZ qui correspond à la configuration du VMOS utilisée dans le VN46AF. Si l'on a besoin d'un courant supérieur à 250 mA, on doit augmenter la tension de commande du gate du VMOS de la manière indiquée sur la Fig. 5. Avec une tension totale de 5 V sur la gate, le VN46AF conduira un courant typique de 600 mA.

Il est possible d'utiliser un circuit de commande capacitif comme par exemple le MH0026 pour des vitesses très élevées, comme indiqué à la Fig. 6. Les valeurs typiques des temps de montée et de descente seront inférieures à 10 ns dans cette configuration.

Un VMOS fonctionnant en drain commun est un peu plus difficile à faire conduire qu'un VMOS en source commune. Cependant, par suite de l'impédance d'entrée élevée il est plus facile de le commander en drain commun qu'un transistor bipolaire fonctionnant en collecteur commun. Les circuits à drain commun lorsque la charge doit être ramenée à la masse, on utilise un circuit totem-pole ou un montage en pont. Nous partirons des montages totem-pole pour illustrer cette discussion.

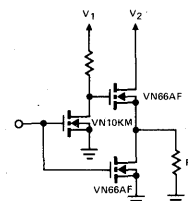


Etage VMOS associé à un circuit tampon à charge d'émetteurs pour diminuer les temps de montée et de descente  
Figure 4



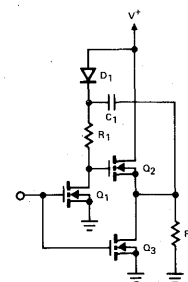
Commande d'un étage VMOS avec une horloge MOS  
Figure 6

La difficulté des circuits à drain commun provient du fait que toute augmentation de la tension aux bornes de la charge entraîne une réduction de la tension d'enrichissement du dispositif. Si on se réfère à la Fig. 7, on peut voir que lorsque la tension aux bornes de  $R_L$  s'approche de  $V_2$ , il se produit une réduction de la tension d'enrichissement du VN66AF supérieur. Si  $V_1$  n'est pas plus grand que  $V_2$ , la tension aux bornes de  $R_L$  ne peut jamais atteindre  $V_2$ . Lorsqu'on utilise donc un circuit à drain commun, il est toujours nécessaire de disposer ou de produire une tension supérieure à celle qui doit se trouver aux bornes de la charge. La valeur de la tension qui doit être supérieure à la tension drain désirée dépend du courant qui doit être produit par le VMOS et elle peut être déterminée à partir de la caractéristique de transfert du VMOS utilisé. Si aucune autre tension n'est disponible que celle de l'alimentation générale, une des façons de générer la tension gate exigée, est d'utiliser un montage bootstrap comme le montre la figure 7. Ceci est facile à mettre en œuvre par suite des faibles exigences en courant de commande des VMOS.



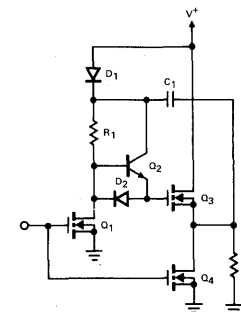
VMOS dans une configuration pôle-totem  
Figure 7

Dans ce circuit, lorsque  $Q_1$  et  $Q_3$  sont conducteurs,  $C_1$  est chargé jusqu'à la tension d'alimentation à travers  $D_1$ . Lorsque  $Q_1$  et  $Q_3$  sont bloqués, la tension de gate de  $Q_2$  monte jusqu'à la tension d'alimentation. Lorsque la tension commence à monter aux bornes de  $R_L$ , via  $Q_2$ , on constate qu'elle se maintient aux bornes de  $C_1$  et donc que la tension gate-source de  $Q_2$  sera maintenue. La taille de  $C_1$  doit être suffisamment grande de telle sorte quand il charge la capacité de gate de  $Q_2$  une tension minimum égale à la tension d'enrichissement exigée par  $Q_2$  doit être maintenue à travers lui. Une bonne règle empirique consiste à rendre  $C_1$  égal à dix fois la valeur de  $C_{iss}$  du

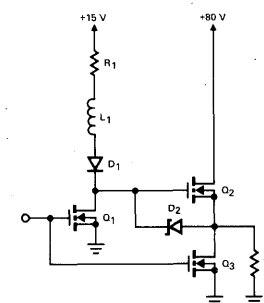


VMOS dans un montage bootstrap dit 'autoélévateur'  
Figure 8

VMOS. La Fig. 9 montre le même circuit bootstrap avec quelques composants supplémentaires qui ont été ajoutés pour améliorer les temps de montée et de descente. Dans ce circuit,  $Q_2$  joue le rôle d'un montage émetteur suiveur pour augmenter le courant crête de gate de  $Q_3$ .  $D_2$  sera polarisée en direct lorsque  $Q_1$  devient conducteur et servira de chemin faible impédance pour décharger la gate de  $Q_3$ .



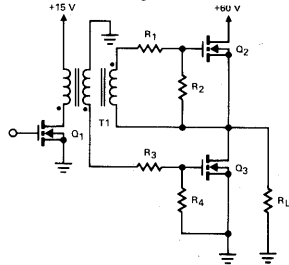
VMOS dans un montage bootstrap avec émetteur suiveur pour améliorer les temps de montée  
Figure 9



Circuit de commande à retour inductif  
Figure 10

Une autre méthode pour la commande d'un transistor VMOS à drain commun est indiquée à la Fig. 10. Ce circuit emmagasine la charge nécessaire dans une bobine d'induction plutôt que d'utiliser un condensateur et un circuit de réaction à partir de la sortie comme c'était le cas dans le circuit du bootstrap. Lorsque  $Q_1$  est bloqué, une tension est générée à travers la self. On utilise cette tension pour maintenir une tension d'enrichissement égale à la tension de la diode Zener  $D_2$  aux bornes du VMOS. Lorsque  $Q_2$  est saturé et que la tension sur  $R_L$  est ramenée à la ligne d'alimentation, on a besoin d'une quantité d'énergie négligeable pour maintenir  $Q_2$  à l'état conducteur.  $Q_2$  reste conducteur jusqu'à ce que  $Q_1$  conduise ou jusqu'à ce que les courants de fuite de  $Q_1$  et  $D_2$  déchargent la capacité de gate de  $Q_2$ .

Une autre méthode que l'on peut utiliser pour la commande d'un transistor VMOS à drain commun est la commande par transformateur. Un circuit de commande par transformateur est indiqué à la Fig. 11. Dans ce circuit, on utilise le transformateur pour maintenir la tension gate aux bornes du VMOS supérieur lors de sa mise en conduction. On utilise  $R_1$  et  $R_3$  pour supprimer les oscillations et  $R_2$  et  $R_4$  pour faciliter le blocage des VMOS. En cas de com-



Commande d'un étage VMOS à partir d'un circuit transformateur  
Figure 11

mande avec transformateur, il faut prendre soin à concevoir et construire un transformateur dont l'inductance secondaire avec la capacité d'entrée du VMOS ne tende pas à provoquer des problèmes d'oscillations.

#### RÉSUMÉ.

L'impédance d'entrée très élevée des transistors à effet de champ de puissance VMOS simplifie beaucoup les impératifs de commande si on les compare à ceux des transistors bipolaires. Les besoins de commande d'entrée des configurations à source commune ainsi qu'à drain commun ont été décrits en détails. Dans les circuits à source commune il faut toujours garder à l'esprit les impératifs de temps de montée et de descente. Dans le cas des circuits à drain commun, il faut prévoir une méthode pour le maintien d'une tension d'enrichissement appropriée en plus des impératifs de temps de montée et de descente requis.

#### RÉFÉRENCES.

1. A. Evans, D. Hoffman AN79-3 (Caractéristiques dynamiques d'entrée d'un commutateur de puissance VMOS).
2. D. Hoffman, L. Schaeffer AN76-3 (VMOS. Un nouveau concept dans le domaine de la puissance).

## Utilisation des transistors VMOS en interface entre la logique intégrée et les charges de forte puissance

Le transistor VMOS est un élément d'interface idéal entre la charge de puissance et la logique de commande intégrée. Quoique la conception du circuit soit simple, il faut prendre quelques précautions afin de minimiser la dissipation de puissance et avoir une grande fiabilité de fonctionnement; ce qui n'est pas évident à première vue.

Les points à considérer sont (1) la nature de la charge, (2) les besoins requis par le VMOS pour commander celle-ci, et (3) les caractéristiques de sortie de l'élément logique.

#### CONSIDÉRATIONS SUR LA CHARGE

L'absence de limitations dues au second claquage, fait de la commande de charges fortement inductives ou capacitatives, des applications courantes pour les transistors VMOS. Les charges inductives comprennent les transducteurs ultrasonores, les solénoïdes et les relais. Les charges à fort courant d'appel, telles les lampes à incandescence, les générateurs d'impulsions et les moteurs, sont aussi des charges facilement contrôlées par les VMOS. Toutefois, une attention toute particulière doit être apportée aux caractéristiques de la charge.

Tout comme les bipolaires, les VMOS peuvent être endommagés si leurs limites maximums en tension sont dépassées. Bien que leur capacité à supporter l'énergie en avalanche soit très supérieure à celle des bipolaires, il n'est pas de bonne pratique de faire absorber de l'énergie inductive aux VMOS, à moins que ceux-ci ne soient spécifiés pour ce type d'applications. Les pointes générées par les charges inductives peuvent avoir une énergie très importante et il est généralement conseillé de limiter leur amplitude.

De plus, la puissance transitoire générée pendant les phases de Turn-on et Turn off doit être déterminée de façon à ne pas atteindre des températures de canal excessives. Les charges fortement inductives peuvent générer des puissances signi-

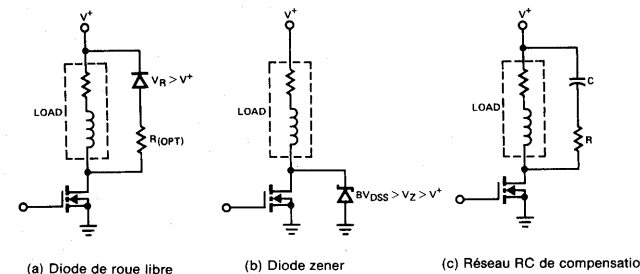
ficatives au blocage, alors que les charges capacitatives causent des surcharges de puissance à la mise en conduction. L'onde de puissance peut être obtenue, un modèle rectangulaire établi, et la température de jonction en pointe calculée, en utilisant les techniques discutées plus loin. Le calcul est particulièrement important pour les lampes à incandescence et les moteurs, du fait que les pointes de courant durent de quelques dizaines à plusieurs milliers de millisecondes, pouvant ainsi provoquer une importante surcharge en température des dispositifs VMOS de commande.

#### Charges inductives

Généralement avec les charges inductives, les pointes de tension doivent être limitées à une valeur inférieure au claquage du transistor. Trois techniques sont communément employées : la diode de roue libre, le suppresseur de pointes, ou le réseau RC. Ces circuits sont présentés figure 1.

Les pointes causées par les charges inductives électromécaniques telles les solénoïdes ou les relais sont effectivement supprimées par la diode de roue libre montrée en (a). La basse impédance de la diode fait que généralement le courant à un long temps de décroissance qui peut être intolérable dans de nombreuses applications. Moyennant un dépassement en tension aux bornes d'une résistance R en série avec la diode (3), il est possible d'améliorer la vitesse.

La diode de roue libre peut être un redresseur bon marché tel le 1N 4002. Toutefois, les redresseurs à jonction présentent des transitoires à la conduction qui peuvent provoquer des surcharges excessives si le transistor VMOS est bloqué très rapidement. Pour les grandes vitesses de commutation, une diode Schottky ou un redresseur basse tension à implantation ionique est requis. Notons que généralement ces éléments à temps de recouvrement rapides ne présentent pas d'aussi bons temps de mise en conduction.



Méthodes de limitation des pointes d'origine inductives  
Figure 1



Souvent la plus saine et la moins chère des techniques de limitation est d'utiliser une diode zener comme il est montré figure 1 (b). Celle-ci répond en quelques picosecondes et peut protéger le VMOS contre les transitoires de l'alimentation tout aussi bien que contre les pointes inductives. En conséquence la limitation par diode zener convient particulièrement bien pour les travaux de puissance. D'une façon similaire à l'utilisation d'une résistance en série avec une diode de roue libre, des décroissances plus rapides du courant dans la charge sont obtenues en écrétant à un potentiel supérieur à la tension d'alimentation.

Le réseau R-C est généralement utilisé dans les circuits de conversion de puissance pour limiter les pointes inductives causées par l'inductance de fuite du transformateur et l'inductance du câblage. Il réduit aussi la dissipation de puissance en faisant apparaître la charge plus résistive. La résistance R en série avec la capacité est nécessaire pour limiter la pointe de courant à la mise en conduction (une bonne idée, même lorsqu'on utilise un VMOS), et pour assurer que le circuit est correctement amorti. Puisque le circuit est résonant, il produira une oscillation amortie, à moins que le coefficient de qualité Q de celui-ci soit inférieur ou égal à 0,5. Les valeurs sont souvent déterminées empiriquement. La tension en pointe aux bornes de la charge ne dépassera pas la valeur calculée en utilisant la relation entre les énergies :  $1/2 LI^2 = 1/2 CV^2$ . On détermine alors la tension

$$V = I\sqrt{L/C}$$

La fréquence de résonance peut être calculée à partir de l'équation générale, et R sélectionnée de façon à ce que  $Q \approx 1/2$  en prenant :  $R = 4 \pi f L$

Les équations et l'expérience indiquent que des valeurs plus grandes de C diminuent les pointes de tension et la fréquence de résonance et en conséquence, permet de réduire R. Une valeur optimum de R existe pour une combinaison L-C choisie, qui résulte en un dépassement minimum. Une autre considération est de minimiser la dissipation de puissance dans le transistor ; des techniques variées sont discutées plus loin (4,5).

#### Charges capacitatives et à grand appel de courant

Généralement aucun circuit auxiliaire n'est requis avec les charges capacitatives. Quoique le VMOS ne présente pas les

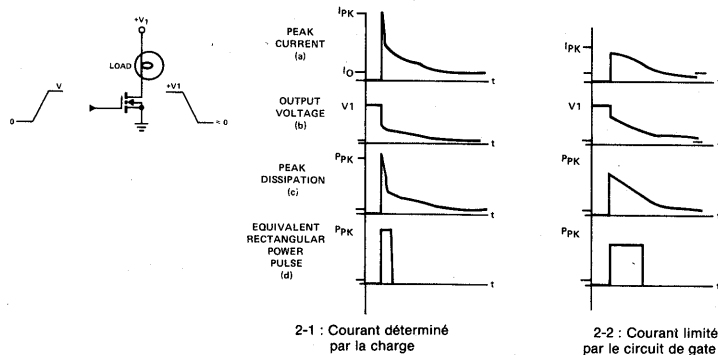
symptômes du second claquage, il est nécessaire d'observer les courbes de l'aire de sécurité de façon à éliminer les augmentations excessives de température durant les appels de courant. Lorsque l'appel de puissance est excessif, une augmentation de la tension gate réduira celui-ci et le gardera dans les limites permises. Un circuit de commande d'une lampe (et les formes d'ondes le régissant) est montré figure 2.

La figure 2.1 illustre le courant transitoire typique, la tension et la dissipation du transistor, dans le cas d'une lampe commandée par un VMOS non limité par sa commande. Il peut fournir tout le courant que la charge appelle alors qu'il est maintenu dans la région ohmique. Sous ces conditions, la tension de sortie passe rapidement de l'état OFF (V1) à l'état ON, dans un temps régis par le courant transitoire de commande de gate et les capacités du VMOS. Le courant de pointe est une fonction de la résistance froide de la lampe et décroît quasiment exponentiellement au fur et à mesure que la température du filament et sa résistance augmentent.

L'onde de dissipation du transistor est similaire à l'onde de la figure 2.1 (c) ; ceci peut être transformé en une impulsion de puissance rectangulaire comme la figure 2.1 (d), afin de simplifier les calculs de la puissance en pointe et de sa valeur moyenne.

Dans le cas où le transistor est limité en commande (où il ne peut fournir la totalité de la pointe de courant que la charge appelle) il résulte généralement, mais pas toujours, une plus grande dissipation du transistor. Ceci est illustré par les ondes transitoires de la figure 2.2 où le courant de pointe est beaucoup moins important que dans l'exemple précédent, mais aussi où le transistor n'entre pas dans sa région ohmique durant la transition de commutation. L'impulsion de dissipation en puissance résultante est plus grande et peut être destructive.

Les transistors VMOS sont des drivers idéaux pour les lampes à incandescence, car ils peuvent supporter de grandes charges en courant sans subir de dommages causés par le second claquage. Les commandes de lampe peuvent avoir à supporter deux types de pointes ; le courant d'appel à la résistance froide et le courant d'arc.



Formes d'ondes lorsqu'on commande une lampe à incandescence  
(Des charges à fort courant d'appel présentent  
des formes d'ondes similaires)

Figure 2

Les appels dus à la résistance froide se produisent avec toutes les lampes, à la mise en conduction. La pointe est entre 12 et 18 fois le courant de fonctionnement. De plus, le courant d'appel peut être de 2 à 5 fois le courant nominal 5 millisecondes après application de la puissance. L'appel dépend du circuit de la lampe et de la température froide de l'ampoule, qui est elle-même dépendante du cycle de fonctionnement et de la température ambiante. Puisque la pointe, à la mise en conduction, est un transitoire répétitif, il est préférable, pour une meilleure fiabilité du VMOS, d'avoir une commande de gate suffisante pour placer le VMOS à un point de fonctionnement situé à l'intérieur de la région ohmique pendant celle-ci, afin de minimiser la dissipation de puissance du VMOS.

La pointe d'arc se produit lorsqu'une lampe emplie de gaz subit des dommages (toutes les lampes au dessus de 60 W fonctionnant sous 120 V et plus de tension contiennent un peu de gaz pour augmenter le rendement et la durée de vie). Lorsque le filament se rompt, un arc se produit causant un courant extrêmement grand d'environ 80 à 200 Ampères pendant un temps de 2 à 4 millisecondes. Concevoir en tenant compte de cette pointe est un réel problème pour le concepteur de circuit quand des bipolaires, tels les transistors à jonction ou les thyristors, sont utilisés. Si un dispositif adéquat pour le fonctionnement normal et l'appel est utilisé, la pointe d'arc à la rupture causera des dommages. A l'inverse, si un bipolaire capable de supporter cette condition est utilisé, le coût sera prohibitif du fait que les limites du composant seront supérieures aux besoins du système en fonctionnement normal. Des semi-conducteurs fusibles peuvent opérer sous ces conditions mais ils sont trop chers. Avec les dispositifs VMOS de puissance, le courant d'arc ne causera pas de dommages, du fait que la température de jonction peut momentanément excéder sa limite.

#### Charges référencées à la masse

Dans bon nombre de cas, la charge est connectée à la masse et ne peut être placée dans le circuit de drain comme dans les figures 1 et 2. La commutation sur charge référencée à la masse, requiert une configuration du VMOS en source commune. La difficulté avec un tel dispositif, est que pour garder le VMOS dans sa région ohmique avec un fort débit en courant, il faut assurer un enrichissement de la gate d'environ 10 Volts au dessus du potentiel de source. De ce fait, la tension de commande de gate doit être prélevée à partir d'une tension supérieure de 10 Volts à la tension d'alimentation. Si un tel potentiel est disponible, il n'existe plus de problème autre que la tension que peut supporter le circuit de commande. Lorsqu'aucune tension fixe n'est disponible, elle peut être générée en utilisant la technique du bootstrap.

Un circuit bootstrap est montré figure 3. Son fonctionnement est le suivant : lorsque le bipolaire de commande est conducteur, le potentiel de gate est presque à la masse et le VMOS est bloqué. La capacité C est chargée à VDD, à travers la charge et la diode D1. Quand le driver est bloqué, le potentiel de gate croît, entraînant une mise en conduction du VMOS, qui permet de ce fait une élévation du potentiel de source. Si C est choisie suffisamment grande devant la capacité d'entrée du VMOS, elle joue le rôle d'un générateur de tension en série avec le potentiel de source du VMOS, et de ce fait produit une tension gate-source proche en valeur de VDD. Pendant des charges avec le temps à travers la

résistance inverse de la diode D1, la valeur de la capacité devra être très importante si la charge doit être irriguée pendant plusieurs secondes, à moins qu'une technique de mémorisation ne soit utilisée, comme il est indiqué dans le paragraphe suivant. Toutefois, beaucoup de charges, telles les commandes de marteaux dans les imprimeurs rapides, sont activées en moins d'une milliseconde, aussi les capacités sont-elles de l'ordre de 0,1 µF. Dans le cas où la charge est un solénoïde, il est possible que le VMOS sorte de sa zone ohmique, entraînant une perte partielle de la commande de gate après que le solénoïde ait stocké l'énergie, car le courant de maintien est très bas. La puissance dissipée dans le VMOS peut augmenter de façon significative, à moins que la chute de tension sur la gate, ne réduise le courant drain à une valeur beaucoup plus basse.

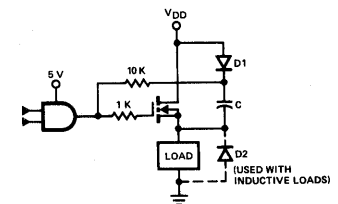
Quand la charge doit être activée à pleine puissance, pour un assez long moment, un signal pulsé peut être appliqué au circuit de commande, au lieu d'un niveau continu. Quand le courant irrigue la charge, le driver est OFF, à l'exception des brèves périodes ON pendant lesquelles la tension de source devient nulle, autorisant la recharge à VDD. Le signal de commande, pour cette mémorisation, peut être un signal d'horloge, ou la tension d'alimentation alternative. Plus élevée est la fréquence de travail, plus petite est la capacité de stockage, qui ne peut, en aucun cas, être inférieure à 10 fois le Ciss du VMOS, afin d'éviter tout transfert d'énergie supérieur à 10 % de la charge de C vers la gate du VMOS, durant la phase de mise en conduction.

#### CONSIDÉRATIONS GÉNÉRALES SUR LA COMMANDE

Sans trop regarder au type de logique ou au réseau de commande du transistor VMOS ; quelques considérations doivent être accordées aux propriétés du VMOS telles :

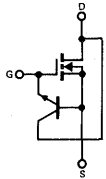
1. La diode de protection à l'entrée
2. La réponse haute fréquence
3. L'impédance d'entrée capacitive.

La diode zener intégrée, à l'entrée de certains dispositifs VMOS, impose quelques restrictions sur les niveaux de commande. La tension positive appliquée à la gate par rapport à la source, ne doit pas excéder la tension maximum admissible pour la diode zener, tout comme cette dernière ne doit pas être polarisée en direct en permettant au potentiel gate-source de devenir négatif.



Commutation sur charge connectée à la masse en utilisant  
la technique du bootstrap  
Figure 3

Les raisons de ces restrictions sont évidentes si on se réfère au circuit de la figure 4, où il est visible que la zener est la jonction base-émetteur d'un transistor bipolaire dont le collecteur est connecté au drain. En conséquence, la zener présente une caractéristique de résistance négative similaire au BVCEO d'un transistor. Au dessus de quelques centaines de microampères, la tension peut chuter de 20 Volts à 8 Volts. Cette tension plus faible limitera le courant que peut débiter le transistor VMOS ainsi que la dissipation dans la zener et la circuiterie de commande.



Transistor parasite des MOSFETS protégés par une zener  
Figure 4

Si ce circuit de commande peut occasionner une tension gate-source négative — situation courante avec une source suiveuse pilotant une charge capacitive — le bipolaire deviendra passant en direct causant la circulation d'un courant du drain vers la gate. Dans le cas d'impédance de boucle de courant très faible, il peut en résulter des dommages irréparables pour le composant; mais ceci n'arrive pratiquement jamais, à moins que la tension drainsource ne soit assez grande pour faire travailler le bipolaire, en avalanche (BVCEO (SUS)). Puisque le BVDSS du Fet est essentiellement le BVCBO du bipolaire, le BVCEO (SUS) est approximativement la moitié de BVDSS. En conséquence, un phénomène de second claquage du bipolaire zener peut se produire lorsque la tension drainsource du VMOS dépasse la moitié de BVDSS. Si une tension de gate négative est inévitable, il y a lieu de choisir un dispositif sans zener de protection.

Le temps de transmission des porteurs à travers le canal est inférieur à une nanoseconde pour la plupart des structures VMOS, ce qui se traduit par des fréquences de coupure de l'ordre du gigahertz. La commutation très rapide peut donc être réalisée avec ces dispositifs, mais des oscillations parasites peuvent se produire si certaines précautions ne

sont pas prises. En général on prévient ces oscillations en observant une ou plusieurs des règles suivantes :

1. Travailler avec des connexions et des pistes courtes
2. Placer une petite perle de ferrite le plus près possible de la connexion de gate, ou utiliser une résistance de 100 à 1000Ω en série avec celle-ci
3. Éviter tout tracé qui pourrait coupler le signal de sortie au signal d'entrée
4. Entourer le VMOS avec un circuit de masse et faire un écran entre l'entrée et la sortie.

Bien que la résistance d'entrée du VMOS soit presque infinie, et qu'il soit possible de ce fait, de le commander à partir d'une sortie logique TTL ou CMOS, l'impédance qu'il présente à l'entrée est capacitive et les variations du courant de drain, suivent les variations du potentiel de gate. Quoique la vitesse de commutation par seconde ne soit pas importante lorsqu'on commande une lampe ou une charge électromécanique, le courant transitoire limité disponible à la sortie logique, résulte en une commutation assez lente pour causer des dissipations transitoires de puissance, particulièrement quand un certain nombre de VMOS sont placés en parallèle. Aussi une analyse en transitoire est-elle souvent nécessaire.

Une façon relativement simple de faire une analyse fine est de pratiquer une approche à l'aide d'une charge de contrôle comme elle est décrite par Evans et Hoffman (6). Pour tout intervalle de temps :

$$\Delta t = \frac{(\Delta V_{GS}) \cdot (C_{in})}{I_G}$$

où

VGS est la variation de tension gate-source  
Cin est la capacité d'entrée gate-source effective  
IG est le courant moyen pendant la commutation.

(toutes ces valeurs doivent être déterminées pour l'intervalle de temps considéré).

Le tableau 1 montre les valeurs appropriées pour utiliser l'équation ci-dessus. Pour la commutation complète, les relations incluent la mise en conduction ou le blocage, mais ces intervalles sont rarement d'un grand intérêt dans les circuits de puissance. Toutefois, la dissipation peut être un problème durant les temps de montée et de descente.

TABLEAU 1. RELATIONS UTILISÉES EN COMMUTATION

Intervalle	Symbole	Changement de la tension de gate	Capacité
Turn-ON Delay	$t_{d(on)}$	$V_{G(TH)} - V_{G(off)}$	$C_{iss}$
Rise Time	$t_r$	$V_G @ ID1(on) - V_{G(TH)}$	$C_{iss} + \frac{\Delta V_{DS}}{\Delta V_{GS}} C_{rss}$
Turn-OFF Delay	$t_{d(off)}$	$V_{G(on)} - V_G @ ID2(on)$	$C_{iss}$
Fall Time	$t_f$	$V_G @ ID2(on) - V_{G(TH)}$	$C_{iss} + \frac{\Delta V_{DS}}{\Delta V_{GS}} C_{rss}$

Les valeurs des capacités utilisées sont des valeurs moyennes puisque VG varie pendant l'intervalle de temps considéré. Les valeurs de VDS doivent aussi être utilisées pour les déterminer. Les différentes tension gate-source particulièrement importantes sont :

VG (off) = tension de gate à l'état OFF précédant la mise en conduction

VG (TH) = tension de seuil

VG à ID1 (ON) = VG correspond à la valeur crête du courant drain pour les charges capacitatives ou résistives, ou la valeur du courant lorsque la tension drain entre dans la zone ohmique en commutation sur charges inductives

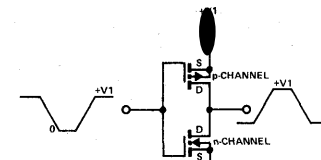
VG (ON) = tension de gate à l'état ON précédant le blocage

VG à ID2 (ON) = VG correspond à la valeur du courant de drain avant le blocage.

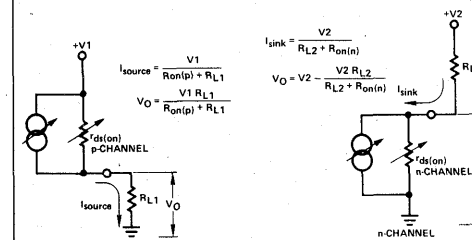
### Commutation à partir d'une logique CMOS

Les éléments logiques CMOS les plus couramment utilisés sont idéaux pour commander les transistors VMOS de puissance, car ils peuvent travailler sous des tensions d'alimentation jusqu'à +15V, niveau amplement suffisant pour piloter les VMOS. Puisque la vitesse de commutation et les possibilités en transitoire sont liées à l'impédance de sortie de la commande, faisons un bref examen d'un circuit CMOS.

Tous les circuits CMOS courants ont une configuration de sortie comme il est montré dans l'inverseur de la figure 5. Celui-ci consiste en un MOSFET canal P, connecté en série



Inverseur CMOS  
Figure 5



(a) Sourcing Current

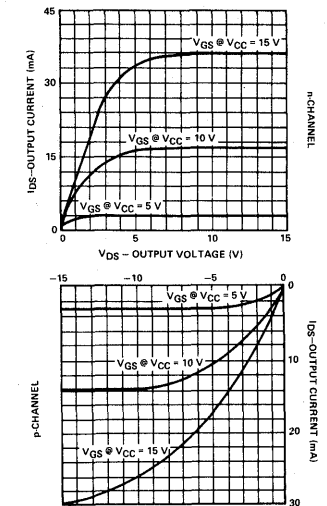
(b) Sinking Current

Possibilités de débit et d'absorption de la CMOS  
Figure 6

avec un MOSFET canal N (drain à drain), avec les gates reliées ensemble et contrôlées par le même signal de commande, d'où le nom CMOS (pour MOS complémentaires). Quand le signal d'entrée devient positif (V+), le canal P est bloqué et conduit seulement les quelques picoampères de IDSS. Le canal N est polarisé en direct mais, parce que seulement IDSS est délivré par le canal P, VDS est très bas. Inversement, lorsque l'entrée est basse (zéro), le canal P conduit parfaitement, le canal N est bloqué et la sortie est près de V+. Parce que le courant (sans charge) est extrêmement faible, l'inverseur ne dissipe pratiquement pas de puissance dans chaque état stable. En conséquence, la seule puissance dissipée l'est pendant la transition, alors que l'on charge les capacités internes. En raison de la très grande impédance d'entrée du VMOS, la CMOS est capable d'interfacer beaucoup de transistors VMOS lorsque des conditions seulement statiques sont requises.

La résistance continue entre drain et source quand le dispositif conduit est communément appelée « résistance ON », « RON » ou « RDS ON ». Cependant la CMOS à des possibilités de sortie limitées, déterminées par le gain des éléments N et P. Les schémas équivalents d'une sortie CMOS sont montrés figure 6.

Un rapide coup d'œil aux courbes caractéristiques de sortie des transistors CMOS donne de meilleures vues sur l'impédance dynamique de source présentée à la gate du VMOS. La figure 7 montre les caractéristiques de sortie des transistors à enrichissement des canaux N et P généralement utilisés dans les circuits CMOS. En se référant à la courbe VGS = 15V pour le canal N, on note que pour une tension de commande constante (VGS), le transistor fonctionne

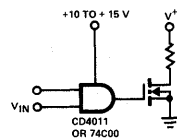


Caractéristiques des transistors de sortie d'un inverseur CMOS  
Figure 7

comme une source de courant, ce, lorsque les potentiels drain-source sont supérieurs à  $V_{GS}-V_T$  ( $V_T$  est le seuil d'un transistor MOS - de l'ordre de un à deux Volts). Pour une tension  $V_{DS}$  inférieure à  $V_{GS}-V_T$ , le transistor se comporte principalement comme une résistance. Des courbes similaires sont obtenues pour des valeurs plus faibles de  $V_{GS}$  exceptée la valeur plus faible du courant. En fait  $I_{DS}$  augmente comme l'accroissement de  $V_{GS}$  au carré. Le transistor canal P, présente des caractéristiques similaires mais complémentaires, avec toutefois moins de gain et une transition générateur de courant à résistance variable plus graduée.

Lorsqu'il travaille sur charge capacitive, le changement de tension aux bornes de celle-ci est une rampe due au fonctionnement en source de courant, suivie d'un arrondissement découlant de la caractéristique résistive dominante lorsque  $V_{DS}$  approche zéro. Pour des commutations plus rapides, et donc une dissipation plus faible dans le transistor VMOS, le courant de sortie crête devra être débité alors que l'inverseur fonctionne encore en source de courant. Pour atteindre ce but, le courant maximum contrôlé par le VMOS, est celui qui correspond à un  $V_{GS}$  inférieur de quelques Volts à la tension d'alimentation de la CMOS,  $V_1$ . De la figure 7, on déduit que travailler à une tension de fonctionnement  $V_{CC}$  supérieure pour la CMOS, entraîne de profonds effets sur les temps de commutation de la CMOS, du fait que le courant de sortie croît comme le carré de la tension  $V_{GS}$  et que l'arrondissement du potentiel est repoussé à de plus hauts niveaux.

Par conséquent, l'interface optimum entre la logique et le VMOS est montré figure 8. Dans cette configuration, le courant de mise en conduction est débité par le canal P qui est le MOSFET ayant les plus pauvres caractéristiques de la paire CMOS, mais lorsqu'on travaille à 15V l'arrondissement de la forme d'onde de gate du VMOS peut survenir à un niveau supérieur à celui requis pour débiter le courant de charge. Le courant correspondant au blocage, s'écoule à travers le FET canal N qui garde ses bonnes capacités de conduction jusqu'au seuil du VMOS,  $V_{GS}(TH)$  ce qui diminue le temps de décroissance du courant de drain.

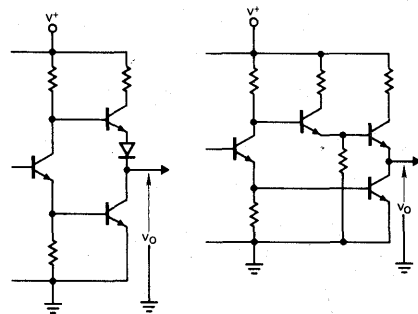


Commande d'un VMOS à partir d'une porte CMOS  
Figure 8

#### Commutation à partir d'une logique TTL

Les niveaux logiques plus faibles utilisés en TTL font de cette dernière une commande moins satisfaisante que la CMOS pour piloter directement au VMOS. Pourtant, la TTL peut être reliée directement au VMOS lorsque des courants de sortie plus faibles sont nécessaires, ou au moyen d'un circuit additionnel permettant d'augmenter la capacité du VMOS. Les problèmes d'interface avec la TTL sont beaucoup mieux compris si l'on analyse le circuit de sortie d'un tel élément.

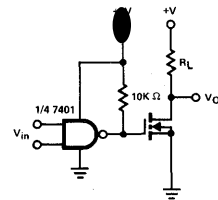
La figure 9 montre la sortie totempôle communément utilisée en TTL. Quand le driver est bloqué, la sortie est portée à un niveau inférieur d'un peu plus de deux chutes de potentiel aux bornes d'une diode sous la tension d'alimentation. Puisque cette dernière est de 5V, la sortie est approximativement de 3,5V ce qui est trop faible pour exploiter toutes les possibilités du VMOS.



(a) Configuration de sortie d'une TTL moyenne vitesse (familles 5400/7400)  
(b) Configuration de sortie d'une TTL haute vitesse

Configuration de sortie de portes TTL  
Figure 9

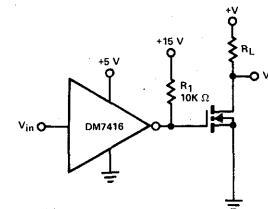
Quand le driver est ON, le transistor de sortie inférieur l'est aussi. Le bas niveau est satisfaisant pour assurer le blocage du VMOS dans la plupart des cas, mais les hauts niveaux ont besoin d'être élevés.



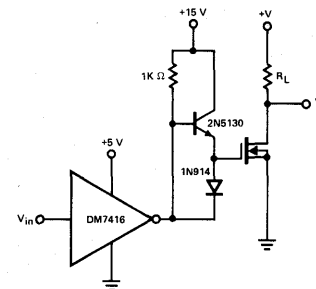
Commande d'un VMOS avec une porte TTL standard  
Figure 10

Une méthode pour augmenter ceux-ci est montrée figure 10. La résistance extérieure permet d'appliquer toute la tension sur la gate du VMOS, mais ce faisant, le transistor de sortie est bloqué à un niveau supérieur à 3,5V. Par conséquent, la grande capacité de conduction et la faible impédance de sortie de la TTL ne sont pas effectivement utilisées, puisque la valeur finale de la tension de gate vient de la résistance de rappel au +5V. Pour garantir un temps de mise en conduction raisonnable, il est nécessaire de limiter le courant de drain crête à une valeur obtenue avec un type de VMOS particulier, quand la commande est de 3,5V. Les 1,5V restant sont utilisés pour placer le point de fonctionnement dans la zone ohmique.

L'exploitation des caractéristiques limites des transistors VMOS est obtenue en travaillant avec de la TTL à collecteur ouvert comme le montre la figure 11. Ces circuits n'ont pas de transistors supérieurs et les transistors inférieurs sont étudiés pour travailler jusqu'à +15V. Les temps de commutation du VMOS sont maintenant principalement dépendants de la valeur de la résistance extérieure utilisée. Pour des transitions rapides, les valeurs faibles de résistance causeront une dissipation excessive quand la sortie sera basse. Le circuit présenté figure 12 accroîtra la vitesse et diminuera la dissipation. Il reforme essentiellement la sortie totempôle d'un circuit TTL en utilisant des transistors extérieurs haute tension. Du fait que le transistor supérieur ne travaille pas en saturation, un simple composant d'usage général avec grand  $FT$ , délivrera le signal de commande rapide à la gate du VMOS.



Une TTL à collecteur ouvert procure une tension d'enrichissement plus importante  
Figure 11



Une commande totempôle augmente la vitesse de commutation et réduit la dissipation  
Figure 12

#### CONCLUSION

Les transistors VMOS de puissance peuvent facilement interfacer un circuit logique. Les points de tension générées par des charges inductives doivent être limitées à un niveau inférieur à la tension de claquage du VMOS. Des charges à fort appel de courant, comme les capacités, nécessitent de grandes tensions  $V_{GS}$  afin de placer le point de fonctionnement dans la région ohmique pendant l'appel.

Pour éviter les opérations nuisibles et assurer, des commutations rapides, il faut tenir compte de la zener de protection — si elle existe — et de l'impédance d'entrée capacitive. Une connection directe avec de la CMOS donne généralement toute satisfaction lorsqu'on travaille entre 10 et 15 Volts. Avec de la TTL, des circuits à collecteur ouvert sont nécessaires pour obtenir une tension d'enrichissement suffisante sur la gate du VMOS.

#### REFERENCES

1. Bill Roehr and Bryce Shiner, "Transient Thermal Resistance - General Data and Its Use"; Motorola Application Note, AN569, Motorola Semiconductor Products Inc., Phoenix, AZ.
2. Bill Roehr, et al, "Silicon Rectifier Handbook", 2nd Edition, Chapter 2, pp. 30-39, Motorola, Inc., Phoenix, AZ.
3. loc. cit. Silicon Rectifier Handbook, Chapter 8, pp. 117-121.
4. E. T. Calkin and B. H. Hamilton, "Circuit Techniques for Improving the Switching Loci of Transistor Switches in Switching Regulators", IEEE Conference Record, 1972 IAS Annual Meeting, pp. 477-484.
5. Rollie J. Walker, "Circuit Techniques for Optimizing High Power Transistor Switching Efficiency", Proceedings of Powercon 5, May 1978, Power Concepts, Inc., Oxnard, CA.
6. Arthur Evans and Dave Hoffman, "Dynamic Input Characteristics of VMOS Power Switch", Siliconix Application Note, AN79-3, Siliconix, inc., Santa Clara, CA.

## Application du VMOS de puissance VN 10 KM

Le VN 10 KM est le moins cher des VMOS disponibles sur le marché. Ce faible coût, permet au concepteur de mettre à profit, les avantages des transistors VMOS dans nombre d'applications particulièrement sensibles au prix.

Afin de simplifier l'utilisation du VN 10 KM, cette note d'application décrit premièrement, les caractéristiques propres du produit, puis les caractéristiques générales des VMOS, faisant d'eux des composants actifs presque parfaits. Après quelques considérations sur les charges et les techniques de commande, quelques applications mettant en relief le VN 10 KM sont ensuite décrites.

### Principaux traits du VN 10 KM

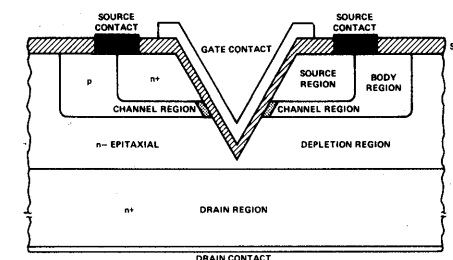
La puce est encapsulée dans un boîtier plastique TO-237 similaire au TO-92 mais auquel a été adjoind une petite plaquette métallique faisant office de dissipateur thermique. La dissipation de puissance à température ambiante a pu, de de fait, être portée de 360 mW à 1W.

Quoique le boîtier soit de petites dimensions, la puce placée à l'intérieur, peut accomplir de grandes performances. Capable de débiter 1 ampère en pointe et de couper 60 V, le transistor a une RDS (ON) maximum de 5  $\Omega$  et un gfs minimum de 0,1 mho en plus des autres caractéristiques communes aux VMOS.

### Technologie VMOS et ses caractéristiques

La technologie VMOS a déjà été décrite en détails dans la littérature. Toutefois, pour l'agrément du lecteur peu familier avec les VMOS, suit un résumé. Une compréhension parfaite de la construction aide à assimiler les caractéristiques fondamentales des transistors VMOS. La figure 1

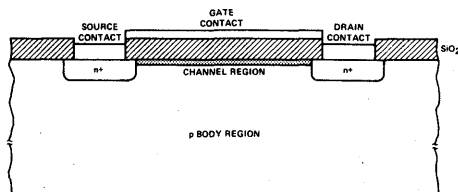
montre une coupe d'un VMOS canal N. En commun avec tous les dispositifs MOSFET, le VMOS est construit à partir d'un transistor bipolaire mis électriquement en parallèle avec un Fet. L'entaille en V pratiquée dans la structure forme la gate. Afin de conserver le bipolaire inactif, sa base est court-circuitée à son émetteur. Ceci stabilise, par la même occasion, la tension de seuil du FET, car la région du body n'est plus flottante électriquement parlant.



Coupe de l'entaille en V d'un transistor VMOS  
Figure 1

Si l'on se réfère à la figure 1, on constate qu'une circulation du courant, dans un dispositif canal N, est créée par polarisation positive de la gate par rapport au body et à la source. Cela cause une attraction des électrons vers la surface de la région P située juste sous la gate. Au dessus d'une certaine tension (le seuil), la surface de la zone de Silicium type P s'inverse, formant un canal de type N et par la même occasion, une zone de faible résistivité s'étendant de la source au drain. La couche P est très mince, de façon à assurer un grand gain, mais elle ne peut supporter de tension importante sur le drain sans que ne se produise un effet de claquage. La couche épitaxiale N— est utilisée pour créer une région d'appauvrissement suffisante pour la tension drain-source.

Le MOSFET conventionnel est construit horizontalement, comme montré figure 2. Les régions N+ de source et de drain sont diffusées simultanément dans un substrat de type P. Le canal apparaît à la face supérieure de celui-ci. Bien que cette structure soit particulièrement bien adaptée à la fabrication de circuits intégrés digitaux complexes, un certain nombre d'effets indésirables, la rend inadaptée pour les applications linéaires et de puissance. La longueur du canal est définie par les tolérances sur les masques utilisés pour définir les zones de source et de drain. Parce que les paramètres ne sont pas très finement contrôlables, les canaux sont relativement longs, résultant en un très faible gain par unité d'aire, une forte résistance ON ( $R_{DS(ON)}$ ) et une courbe de transfert de loi quadratique. Par contre, le canal en V du VMOS est défini par diffusion, ce qui permet d'obtenir un canal court (diminué dans un rapport de 3 et plus) qui augmente le gain, diminue la  $R_{DS(ON)}$  et détermine une caractéristique de transfert linéaire.



Coupe d'un VMOS canal n conventionnel montrant la région du canal sous la face supérieure  
Figure 2

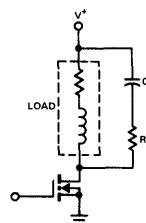
Les limitations des FETs surmontées, le VMOS concurrence le transistor bipolaire avec cet énoncé de caractéristiques impressionnant.

1. Une forte impédance d'entrée permet d'interfacer directement toute logique TTL et CMOS, ou tout transducteur à haute impédance de sortie.
2. Des temps de commutation de l'ordre de la nanoseconde sont obtenus grâce à un temps de transit à travers le canal, inférieur à la nanoseconde, et à l'absence de temps de stockage des porteurs minoritaires (le VMOS est un dispositif à porteurs majoritaires). Les temps de commutation sont définis essentiellement par la vitesse de charge de la capacité d'entrée.
3. Capacités en puissance déterminées principalement par les propriétés thermiques des boîtiers. Excepté aux faibles valeurs de courant, le coefficient de température est négatif. Associé à l'absence de mécanisme entraînant des concentrations de courant, le second claquage est inconnu avec les FETs.
4. Une courbe de transfert pratiquement linéaire, résulte en une faible distorsion dans les amplificateurs audio et en faibles harmoniques dans les amplificateurs radio-fréquence. De plus, la courbure obtenue à bas niveaux de courant approxime une caractéristique à loi quadratique qui résulte en une génération d'harmoniques paires parasites moins importante qu'en harmoniques impairs.

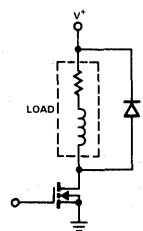
### Considérations sur les charges

L'absence de limitation due au second claquage fait du VMOS un composant idéal pour commuter sur charges fortement inductives ou capacitives telles, les transducteurs ultrasonores, les solénoïdes, ou les relais. Les charges à fort appel de courant telles les lampes à incandescence, les générateurs d'impulsions et les moteurs ne posent pas de problèmes.

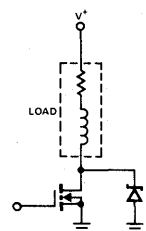
Des précautions doivent cependant être prises pour ce qui concerne les charges inductives, en limitant les surtensions à une valeur inférieure à la tension de claquage du transistor. Trois techniques sont généralement employées; le réseau RC ou la diode inverse en parallèle sur la self, et la diode zener en écrêtage. Des circuits typiques sont montrés figure 3.



(a) réseau RC d'amortissement



(b) diode de roue libre



(c) diode zener d'écrêtage

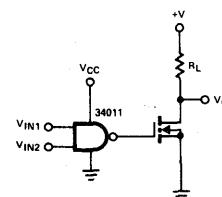
Méthodes de limitation des pointes inductives  
Figure 3

Le réseau RC schéma (a), est satisfaisant si les constantes sont bien choisies. La résistance R peut être supprimée si elle n'est pas nécessaire à l'amortissement du circuit en prévision d'oscillations. Dans certains cas, des surtensions très importantes peuvent être acceptées, pour autant que les pics restent en deçà de 60 V dans le cas du VN 10 KM.

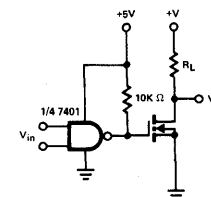
La diode en inverse sur la charge schéma (b), est généralement un redresseur bon marché tel le 1N 4002. Toutefois, l'élément doit présenter un temps de transition TON suffisamment petit pour supprimer toute surtension excessive si le VMOS est bloqué très rapidement. Pour les très grandes vitesses de commutation, il est préférable d'utiliser des diodes Schottky ou des redresseurs basse tension à implantation ionique. Généralement les produits présentant des temps de recouvrement rapides n'ont pas d'aussi bons temps de mise en conduction.

La plus performante et la moins chère des techniques de limitation des surtensions est peut être celle utilisant une zener selon le schéma (c). Elle répond en quelques picosecondes et de ce fait, protège efficacement le VMOS contre les transitoires de l'alimentation tout aussi bien que contre les pointes d'origine inductive.

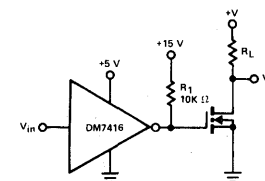
Les charges résistives ou capacitives ne requièrent généralement pas de circuiterie auxiliaire. Le transistor VMOS limitera le courant crête à une valeur déterminée par la tension de gate. En outre, aucun phénomène de second claquage n'est à craindre. Il est pourtant conseillé de consulter l'aire de sécurité du VMOS de façon à éviter toute excursion excessive en température durant l'appel de courant.



(a) VMOS commandé par une porte CMOS



(b) VMOS commandé par une porte TTL standard



(c) utilisation d'une porte TTL à collecteur ouvert pour accroître l'enrichissement

Liaison directe entre le VMOS et le circuit logique intégré  
Figure 4

### Interfacer un circuit intégré logique avec un VMOS

La grande impédance d'entrée et la vitesse de commutation élevée du VN 10 KM, fait de celui-ci un élément idéal dans nombre d'applications en mode commuté. Il peut de ce fait, interfacer toute charge absorbant 0,5 ampère et travaillant sous 60V, à partir d'une commande fournissant un enrichissement de 5V et plus. Quand une très grande vitesse de commutation n'est pas nécessaire, le VMOS peut être directement relié à une logique CMOS ou TTL, comme le montre la figure 4.

Un circuit CMOS typique est présenté en (a). Un niveau logique bas à l'entrée du 34011 commande le VMOS passant, alors qu'un niveau logique haut le bloque. Une tension VCC d'environ 10 Volts est requise pour permettre la circulation d'un courant de 0,5 A à travers la charge. Les temps de conduction et de blocage sont d'environ 60 ns sous ces conditions.

Le VN 10 KM peut aussi interfacer la TTL. Comme il est montré figure (b), une porte TTL standard requiert une résistance de rappel de sa sortie du +5V. Le courant drain garanti du VN 10 KM pour 5V d'enrichissement est 250 mA. Si plus de courant est nécessaire, une TTL à collecteur ouvert peut être utilisée avec une alimentation de 10 à 15V comme en (c). Si un temps TON très rapide est nécessaire, R1 doit être petite, et une puissance excessive sera dissipée quand le VMOS sera bloqué. Des techniques d'amélioration des temps de commutation des transistors VMOS sont discutées au paragraphe suivant.

## Techniques de commande haute vitesse

Dans les applications digitales ou hautes fréquences des transistors VMOS, il est souvent nécessaire d'avoir d'excellentes performances de commutation. La rapidité du VMOS est essentiellement liée à la vitesse à laquelle la capacité d'entrée peut être chargée, aussi a-t-on quelquefois besoin d'un schéma de source basse impédance. Plusieurs circuits accomplissant cette fonction sont présentés figure 5.

Le circuit (a) montre un buffer émetteur-suiveur placé entre la CMOS de commande et le VMOS. Avec un tel circuit, le courant disponible est celui de la sortie CMOS multiplié par les  $\beta$  des transistors. Parce que les bipolaires ne travaillent pas en émetteur-suiveur saturé, il n'y a pas de temps de stockage et la limite en fréquence sera déterminée soit par la porte CMOS, soit par le FT des bipolaires, qui souvent est le plus bas.

Une autre technique consiste à utiliser un circuit intégré de commande d'horloge tel le MH0026 montré figure (b). Avec celui-ci des temps TON et TOFF de 30 ns peuvent être atteints.

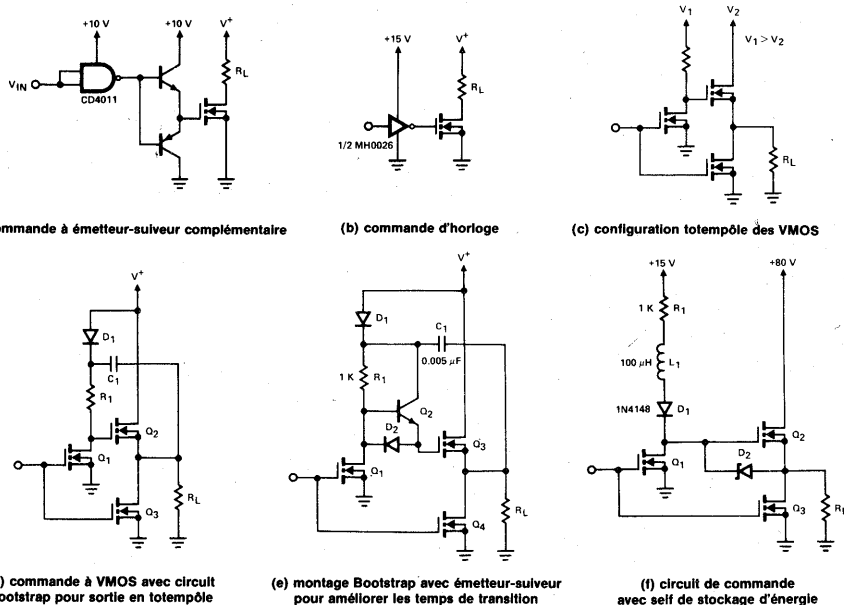
Lorsqu'une impulsion très fine doit être transmise à une charge capacitive, un arrangement des VMOS en totem-pôle répond à ce problème de commutation rapide. Afin de commander le transistor supérieur dans sa zone de saturation maximale, le potentiel de commande V1 doit excéder la tension drain de plusieurs volts : soit  $V1 > V2 + V_{GS}$ , où  $V_{GS}$  est une valeur inhérente au type de VMOS choisi et au courant que l'on veut lui voir passer. Dans les cas

où V2 est l'unique tension dont on dispose, le montage en bootstrap, palie très facilement à ce genre d'inconvénient du fait de la très faible impulsion de courant nécessaire pour charger la capacité d'entrée du VMOS.

La figure 5 (d), montre un montage simple de bootstrap pour sortie en totem-pôle. Lorsqu'un potentiel de commande est appliqué sur les gates de Q1 et Q3, la capacité C1 se charge sous très faible impédance à la tension V+ (en négligeant V0 et VDS ON). Lorsque, par un niveau OV on bloque Q1 et Q3, le potentiel de grille de Q2 monte tout naturellement à V+, rendant celui-ci conducteur. Au fur et à mesure que le potentiel source de Q2 monte, le potentiel de gate croît, car la tension aux bornes de C1 varie peu. De sorte que par un effet cumulatif, les potentiels source et gate croissent alors que la capacité d'entrée de Q2 se charge. Le condensateur C1 doit être tel qu'il puisse charger la capacité de gate à une tension d'enrichissement suffisante pour délivrer le courant désiré. Une bonne manière de faire est de prendre C1 égal à 10 CISS du VMOS.

La figure 5 (e) présente le même système bootstrap avec quelques composants additionnels servant à diminuer les temps de commutation pour les réalisations à grande vitesse. Il fournit, par l'intermédiaire de Q2, une plus grande pointe de courant sous faible impédance à la gate de Q3. D2 réduit le temps TOFF du système en déchargeant sous faible impédance la capacité de gate de ce même transistor.

Une autre méthode utilisée pour faire commuter le VMOS en drain commun est montrée figure 5 (f). Au lieu de charger



Schémas pour commutation rapide  
Figure 5

une capacité et d'utiliser une information sur la sortie, il est possible avec ce circuit, de stocker dans une inductance l'énergie nécessaire à la commutation. A l'instant du blocage de Q1, une pointe de tension est générée par la self. Cette tension est utilisée pour porter le potentiel gate-source à la tension de zener D2. Lorsque Q2 a complètement commuté et que R1 est à V+, une quantité négligeable d'énergie est nécessaire pour maintenir le montage dans cet état. Q2 restera ON jusqu'à ce que Q1 soit commandé passant ou que les fuites à travers Q1, D1 et D2 aient déchargées la capacité d'entrée de Q2. Les valeurs portées sur le schéma permettent aux VN 10 KM de commander 0,5 A jusqu'à une fréquence d'impulsions de 10 MHz.

## Générateurs de courant

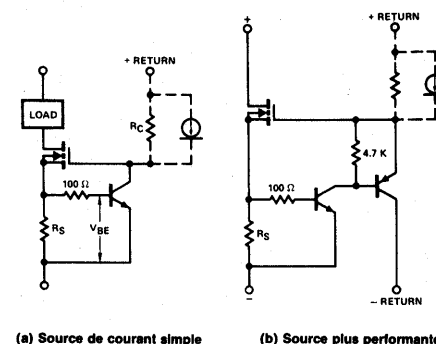
Les régulateurs de courant trouvent nombre d'applications en tant que charge à grande impédance ou comme source de courant pour les amplificateurs différentiels, les diodes zener de référence et les charges de capacité de base de temps. Les FETS sont très prisés pour ce genre d'applications en raison de leur grande impédance de sortie et leur relative insensibilité aux variations de température. L'emploi de transistors VMOS FET permet, en outre, de réguler de plus grands courants. Pourtant quelques précautions doivent être prises pour polariser la gate du VMOS. Les divers circuits présentés figure 6 montrent plusieurs techniques de réalisation de sources de courant, correspondant à différents degrés de précision, au fur et à mesure que croît la complexité du circuit.

Le circuit très simple, présenté en 2(a) utilise la constance de tension d'une jonction base-émetteur d'un bipolaire, pour fixer la valeur du courant à réguler. La contre-réaction est telle que le potentiel collecteur du bipolaire, (qui est aussi celui de la gate du VMOS), force celui-ci à conduire un courant approximativement égal à  $0,65 V/R$ . Le bipolaire travaille en linéaire et avec un tel montage, il est possible de débiter un courant convenablement régulé de 30 mA jusqu'au courant maximum que peut délivrer le VMOS. La tension limite de fonctionnement du circuit est celle du VMOS. Si la borne négative est ramenée à la masse, le retour (+) peut être connecté à une alimentation positive, plutôt qu'à la charge.

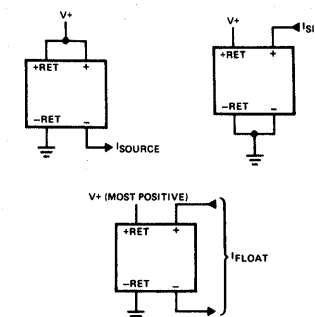
Cette façon de procéder améliore la précision de la régulation en éliminant les variations du courant s'écoulant dans la résistance de collecteur. Dans le même temps, elle accroît l'impédance de sortie en annulant les variations de tension base-émetteur dues au courant collecteur variable, et réduit de ce fait la tension de coude requise pour obtenir le courant de sortie désiré. Afin d'augmenter la précision de régulation, il est recommandé de remplacer la résistance de collecteur du bipolaire par un générateur de courant tel le J500. La différence se fera très nettement sentir si l'on est obligé de travailler en flottant.

Le circuit figure (b) utilise un transistor pnp pour augmenter la boucle de gain et ainsi améliorer la régulation du courant collecteur du dispositif npn. Pour les applications permettant une alimentation constante, les retours à des bornes (+) et (-) accroîtront de façon sensible les performances du système. La figure 2 (c) en présente trois possibles.

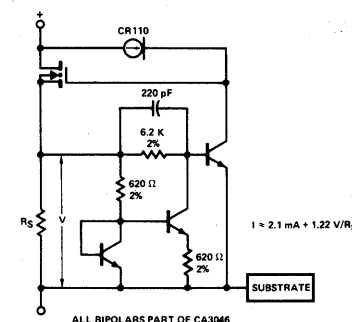
Le dernier circuit présenté en (d) travaille comme un régulateur à deux bornes sans besoin de retour à un potentiel quelconque.



(a) Source de courant simple (b) Source plus performante



(c) Connexions possibles du schéma (b) pour améliorer la régulation



(d) Source de courant stabilisée en température  
Sources de courant à VMOS

Générateurs de courant  
Figure 6

### Convertisseurs de puissance

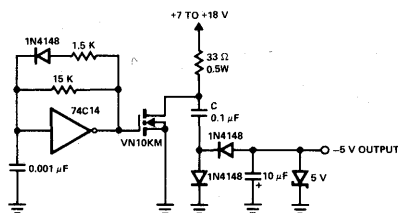
Il est fréquent de développer des systèmes qui ne requièrent qu'une petite puissance nécessaire à leur fonctionnement. Aussi est-il préférable d'utiliser un petit montage, simple et indépendant, délivrant un faible courant sous une tension quelconque.

Le dispositif proposé figure 7 (a) permet d'obtenir du  $-5V$  régulé à partir d'une tension disponible positive allant de  $+7$  à  $+18V$ . Mettant en œuvre un nombre restreint de composants, il comprend principalement un oscillateur, un VMOS, et un système de redressement-filtrage. Tel quel, l'oscillateur, organisé autour d'un circuit inverseur TTL à trigger, produit des impulsions de  $6,5 \mu s$  à une fréquence de  $100 \text{ kHz}$ . La fréquence peut être modifiée, en fonction de la puissance à délivrer, en jouant sur la résistance de  $15 \text{ K}\Omega$  et la capacité  $C$  de  $1 \text{ nF}$ . A l'état OFF du VMOS la capacité de  $100 \text{ nF}$  se charge, à travers la  $33 \Omega$  et la diode  $1N4148$ , à la tension d'alimentation. Un brusque passage ON du VMOS

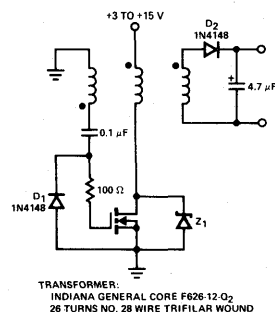
permet à la capacité de  $10 \mu F$  de se charger négativement à travers l'autre diode  $1N4148$ . La zener de sortie limite la tension à  $-5V$  et charge le système. Du fait de ses commutations rapides, le VN 10 KM autorise une fréquence de fonctionnement élevée, permettant ainsi l'utilisation de faibles capacités.

Un second convertisseur de petite puissance est proposé figure 3 (b). Partant d'une tension de  $3$  à  $15V$ , il permet d'alimenter positivement ou négativement un petit dispositif. La fréquence est déterminée à partir des caractéristiques du transformateur utilisé.

Ici, il permet une fréquence de travail de  $250 \text{ kHz}$ . La diode  $D1$  supprime les pointes de tension négatives présentées sur la gate. La résistance de  $100 \Omega$  constitue avec la capacité d'entrée du VMOS, un filtre pour les parasites.  $Z1$  sert de charge et de régulateur pour la tension de sortie, tout en écrétant les pointes de tension susceptibles de dépasser la tension de claquage du transistor.



(a) Positive Input/Negative Output Charge Pump



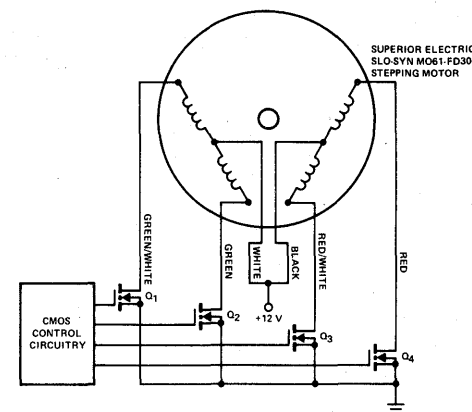
(b) Self Oscillating Flyback Converter

Convertisseurs de puissance  
Figure 7

### Moteur pas à pas

Les moteurs pas à pas trouvent de nombreuses utilisations dans les systèmes de recherche d'informations sur disquettes (ordinateurs) et les machines de contrôle. L'absence de second claquage fait du VMOS un composant idéal pour commander les charges selfiques que sont les moteurs. La figure ci-dessous montre la simplicité de contrôle d'un moteur lorsqu'on emploie des VMOS. Notez l'absence d'éléments de suppression des surtensions du fait que le moteur présente une inductance très faible et donc de très petites pointes de tension. Les grilles des VMOS sont

raccordées directement aux sorties de la CMOS de contrôle. La logique génère la séquence de conduction en accord avec les besoins de l'application. Les tables jointes donnent les séquençements correspondant aux deux fonctionnements possibles (4 états ou 8 états) pour une rotation dans le sens des aiguilles d'une montre du moteur choisi. Les moteurs pas à pas SLO-SYN travaillent sur du continu commuté en phase. Ils accomplissent une révolution complète en 200 pas ( $1,8^\circ$  par pas) lorsqu'on travaille avec une séquence à 4 états et en 400 pas ( $0,9^\circ$  par pas) quand on utilise une séquence à 8 états.



Commande de moteur pas à pas  
Figure 8

FOUR-STEP INPUT SEQUENCE<sup>†</sup> (FULL-STEP MODE)

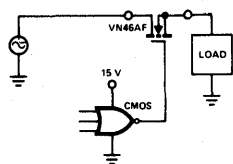
STEP	Q <sub>1</sub>	Q <sub>2</sub>	Q <sub>3</sub>	Q <sub>4</sub>
1	ON	OFF	ON	OFF
2	ON	OFF	OFF	ON
3	OFF	ON	OFF	ON
4	OFF	ON	ON	OFF
1	ON	OFF	ON	OFF

EIGHT-STEP INPUT SEQUENCE<sup>†</sup> (HALF-STEP MODE)

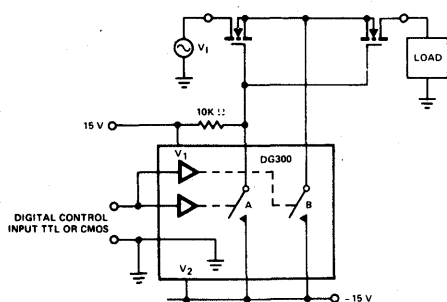
STEP	Q <sub>1</sub>	Q <sub>2</sub>	Q <sub>3</sub>	Q <sub>4</sub>
1	ON	OFF	ON	OFF
2	ON	OFF	OFF	OFF
3	ON	OFF	OFF	ON
4	OFF	OFF	OFF	ON
5	OFF	ON	OFF	ON
6	OFF	ON	OFF	OFF
7	OFF	ON	ON	OFF
8	OFF	OFF	ON	OFF
1	ON	OFF	ON	OFF

La séquence ci-dessus produit une rotation dans le sens des aiguilles d'une montre. La rotation inverse est obtenue en générant les pas dans l'ordre : 1,4,3,2,1 ou 1,8,7,6,5,4,3,2,1.

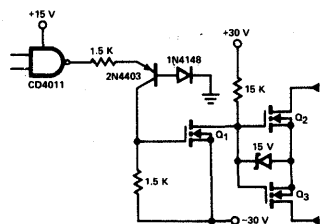
Des commutateurs analogiques utilisant des transistors VMOS sont présentés figure 9. Lorsque les signaux sont toujours positifs, le simple circuit proposé en (a) suffit. De façon à conserver une résistance à l'état ON faible et constante, avec des courants jusqu'à 200 mA, la tension de gate doit excéder les crêtes du signal analogique d'au moins 5 V. Dans le but d'assurer un fonctionnement correct avec



(a) commutateur unidirectionnel + 10V



(b) commutateur bidirectionnel  $\pm 10V$



(c) commutateur  $\pm 25V$

Divers commutateurs analogiques  
Figure 9

des signaux positifs ou négatifs, deux VN10KM sont connectés en série, comme on peut le voir en (b). De cette façon, les diodes drain-source sont tête-bêche et peuvent bloquer chaque polarité. Quand les commutateurs analogiques intégrés DG 300 sont bloqués, la commande de gate est appliquée à travers la résistance de 10 k $\Omega$ . Les VMOS sont bloqués lorsqu'on réunit les gates aux sources par mise en saturation des commutateurs DG 300. De plus, le potentiel - 15V est appliqué simultanément sur les gates et les sources. Cette alimentation crée une masse en alternatif en ce point, afin d'éliminer toute trace de diaphonie à travers les capacités internes parasites des VMOS, et procurer, aux diodes de structure source-drain, une polarisation inverse. Dans les cas où des variations de RDS(ON) avec le niveau du signal, cause une distorsion inacceptable, une configuration des VMOS aboutissant à une alimentation gate-source constante doit être utilisée. Un schéma possible est présenté en (c). Le transistor bipolaire travaille principalement en translateur de niveau entre la logique intégrée de commande et la gate du FET Q1. Quand la sortie logique est basse, le bipolaire et le driver Q1 sont OFF, et la résistance de 15 k $\Omega$  délivre + 30V aux gates des VMOS interrupteurs. La zener maintient une tension VGS constante de +15V ; si l'amplitude du signal d'entrée est limitée à  $\pm 15V$ . Toutefois, dans les cas où une légère variation de la RDS (ON) est acceptable des amplitudes jusqu'à  $\pm 25V$  peuvent être commutées. Quand la logique appliquée au bipolaire est haute, celui-ci est, ainsi que Q1, bloqué. Un potentiel de - 30V est appliqué sur les gates de Q2 et Q3 qui se bloquent. Les gates sont d'ailleurs ramenées au potentiel des sources à travers la polarisation en direct de la diode zener, maintenant ainsi une forte impédance OFF.

## REFERENCES

1. Iso Yoshida, Masaharu Kubo, and Shikayuki Ochi, "A High Power MOSFET with a Vertical Drain Electrode and a Meshed Gate Structure," IEEE Journal of Solid State Circuits, Vol. SC-11, no. 4, pp 472-477, August 1976.
2. Lee Schaeffer, "VMOS - A Breakthrough in Power MOSFET Technology", Application Note AN76-3, Siliconix, inc., Santa Clara, CA 1976.
3. Bill Roehr, "VMOS - A Giant Step Toward the Ideal," Fairchild Journal of Semiconductor Progress, Jan. - Feb. 1979, Fairchild Camera and Instrument Corp., Mountain View, CA.

## VMOS — La clé du progrès dans les alimentations à découpage

Un nombre important d'heures d'études a été consacré, ces dernières années, à la conception ou à la redéfinition des alimentations à découpage. Le résultat de cet effort a été un progrès significatif de leur technologie. Pourtant, sur ce point, il reste encore beaucoup à faire.

Le facteur le plus important affectant la taille et le coût d'une alimentation à découpage est sa fréquence de fonctionnement. A mesure que celle-ci augmente, la taille et le prix des circuits magnétiques et des éléments de filtrage diminuent. Toutefois, les pertes de commutation à l'intérieur des éléments actifs de sortie croissent. A ce jour la grande majorité des alimentations se cantonne dans une gamme de puissance bien inférieure à celle que le marché désire. Les très fortes puissances poussent les bipolaires dans leurs derniers retranchements. Ceci joue aussi pour la taille et le coût des transformateurs, les capacités de filtrage, les selfs et la plupart des composants du circuit de sortie. Une solution à ce problème est d'augmenter la fréquence de fonctionnement. Malheureusement, il est très difficile de le faire à cause des pertes dans les transistors et les thyristors.

Le transistor VMOS possède la vitesse de commutation et les caractéristiques de conduction qui autorisent une nouvelle génération d'alimentations de ce type. En particulier, ces nouveaux modèles présenteront des améliorations sur les coûts, poids, et performances. De plus, ce semi-conducteur n'a, ni les problèmes de second claquage des bipolaires, ni les problèmes de  $\frac{dv}{dt}$  et  $\frac{di}{dt}$  des thyristors.

Les alimentations à découpage de petite puissance posent un autre type de problème. L'utilisation des technologies maintenant anciennes, bipolaires et S C R, permet de développer d'excellentes alimentations faible puissance. Encore faut-il les produire à bas prix. Les régulateurs de tension intégrés ont contribué à résoudre ce problème. Mais il reste encore l'obstacle majeur à l'abaissement des coûts que représente la protection des bipolaires de découpage.

## Le VMOS

Toutes les considérations précédemment établies, au sujet de la conception et de la réalisation des alimentations à découpage est connue depuis maintenant assez longtemps. Il est d'ailleurs particulièrement apparent, après une étude du problème, que les éléments pénalisants de telles réalisations sont les dispositifs de sortie actuellement utilisés. Les VMOS ont été conçus en gardant présents à l'esprit les problèmes des concepteurs d'alimentation en mode commuté. Le résultat de ces efforts est un composant presque parfait pour cette fonction.

Avant de concevoir un système incluant des VMOS, il faut assimiler quelques caractéristiques de base du produit.

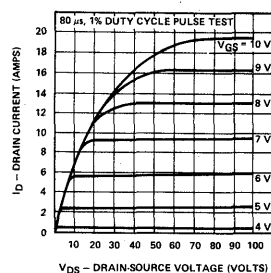
Tous les dispositifs VMOS sont à enrichissement. Ceci signifie qu'aucun courant drain-source ne peut circuler si une tension d'enrichissement nulle est appliquée à l'entrée gate-source. Si vous êtes habitués à travailler avec les bipolaires, une façon simple de comprendre le fonctionnement d'un VMOS est de le comparer à un transistor NPN, à ceci près, que la commande se fait en tension et non pas en courant. Cette très faible puissance requise par le dispositif VMOS pour commuter donne à celui-ci un avantage important sur le bipolaire dans tous les systèmes à haut rendement.

Le second élément important à connaître pour utiliser le produit, est la caractéristique de sortie (voir figure 1). Cet ensemble de courbes montre certaines particularités très intéressantes pour les applications de découpage. Chaque courbe est obtenue pour une valeur précise de la tension de gate. Comme on peut le voir, il existe pour chaque courbe deux régions distinctes. La partie presque verticale est appelée zone linéaire, alors que la partie horizontale est appelée zone de saturation. Lorsque le VMOS est utilisé en



commutateur d'une alimentation à découpage, il travaille presque toujours dans sa zone linéaire. Dans cette région, le composant est complètement enrichi et présente la plus faible  $R_{ON}$  et donc les plus faibles pertes au détriment de la charge. Il y travaille en résistance et la tension aux bornes du transistor est proportionnelle au courant le traversant. Dans la région de saturation, un VMOS se comporte comme une source de courant constant. La tension de drain  $y$  est indépendante du courant qui le traverse. Ce qui rend le VMOS unique lorsqu'il travaille dans cette région, c'est que le courant drain diminue au fur et à mesure que la température croît. Cet effet d'autoprotection n'apparaît pas avec le bipolaire. Au contraire, le courant collecteur augmente avec la température, rendant possible l'emballement thermique qui conduira à la destruction du dispositif.

L'autre caractéristique très importante du VMOS est la vitesse de commutation très rapide qu'il peut atteindre. Comme on peut le voir figure 2, les temps de commutation du VMOS sont très faibles. Le VN 4000 A est spécifié à 100 ns maximum pour la saturation ou le blocage. Il est toutefois très important de noter que ces temps de montée et de descente sont obtenus pour une impédance de source bien définie (50  $\Omega$ ). En raison de l'absence de stockage des porteurs minoritaires dans le VMOS, les temps de transition ON ou OFF dépendent uniquement de la vitesse à laquelle on peut charger ou décharger la capacité d'entrée. La limitation en vitesse de transition dépend donc essentiellement de l'impédance interne du générateur d'attaque. Il est alors possible, pour l'utilisateur, de contrôler la vitesse de commutation du produit en abaissant l'impédance d'attaque du VN 4000 A sous la valeur spécifiée de 50  $\Omega$ . Des temps de commutation aussi rapides que 10 ns peuvent être facilement obtenus.



Caractéristiques de sortie du VMOS Siliconix VN 4000 A  
Figure 1

Caractéristiques		MAX	Unités	Conditions de test
1	D Y	$t_{on}$ Turn-ON Time	100	$V_{DS} = 35 \text{ V}$ , $I_D = 8 \text{ A}$ , $R_L = 4.3 \Omega$ , $R_S = 50 \Omega$
2	N	$t_{off}$ Turn-OFF Time	100	

Caractéristiques électriques du VN 4000 A  
Figure 2

Un autre point particulier du VMOS qu'il faut connaître est la tension de seuil. Sous cette valeur, une variation de la tension de commande sera sans effet sur le courant de drain qui restera nul. A mesure que la tension gate-source augmentera au-dessus de cette tension de seuil, le courant de drain croîtra en partant de zéro. Avec un VMOS ou tout autre composant à effet de champ, le seuil est contrôlé par le processus de fabrication. Pour le VN 4000 A la décision a été prise de le garder entre 3 et 5 V. Cette valeur élevée offre plusieurs avantages particulièrement dans le cas des alimentations à découpage. Puisque des variations de tension gate-source sous le seuil ne provoquent aucune conduction du transistor, chaque volt supplémentaire sera un volt d'immunité au bruit. L'intérieur d'une alimentation à découpage étant particulièrement bruyé, un composant à grande immunité au bruit simplifiera la conception tout en améliorant la fiabilité. D'autre part, le temps de blocage s'améliore au fur et à mesure que le seuil s'élève. En effet, l'étage de commande du VMOS voit une charge presque uniquement capacitive. Au blocage, le comportement d'entrée du VMOS est donc essentiellement assimilable à une décharge de capacité à travers une résistance à la masse. Il s'ensuit que plus haut est le seuil, plus rapide est le blocage. Le temps de commutation à l'état ON n'est pas affecté de façon significative par l'élévation du seuil en raison du gain plus grand du produit. Signalons que le VN 4000 A offre l'avantage d'un seuil élevé tout en ayant une compatibilité CMOS.

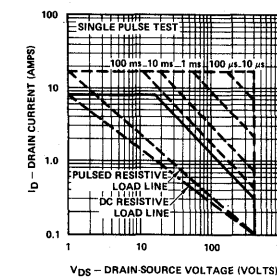
La dernière caractéristique du VMOS que l'on doit mentionner brièvement, est son aire de sécurité. Comme nous l'avons mentionné ci-dessus, la plupart des concepteurs de circuits de commutation de très forte puissance garde une marge de sécurité dans les conditions maximales

admissibles par le bipolaire, afin de tenir compte de l'irrégularité de l'aire de sécurité du composant, causée par le problème du second claquage. La figure 3 montre l'aire de sécurité du VMOS 400V 8A produit par Siliconix. Superposées à cette aire se trouvent les courbes pour charges résistives, en régime continu et en régime d'impulsion. Une charge résistive n'est pas particulièrement contraignante et même un bipolaire est capable de commuter une telle charge à pleine tension et plein courant. Par contre, commuter sur charge selfique est beaucoup plus difficile. La protection la plus simple dans le cas de commutation sur de telles charges, est l'utilisation d'une diode de récupération aux bornes de la charge. Cette diode seule, est souvent peu adéquate pour les bipolaires, puisqu'elle autorise la montée du potentiel aux bornes de l'élément commutant, à la valeur de la tension d'alimentation, avant que le courant n'est déçu suffisamment. Ce type de protection entraîne souvent le second claquage du transistor. Comme on peut le voir sur l'aire de sécurité du VMOS, celui-ci supporte plein courant et pleine tension simultanément. La seule limite à respecter est la dissipation maximale de puissance que peut supporter le dispositif. Il n'y a pas de second claquage.

Un autre avantage du VMOS est la diode de structure du composant entre drain et source. Cette diode peut être utilisée en diode de récupération supportant au moins le courant direct du VMOS.

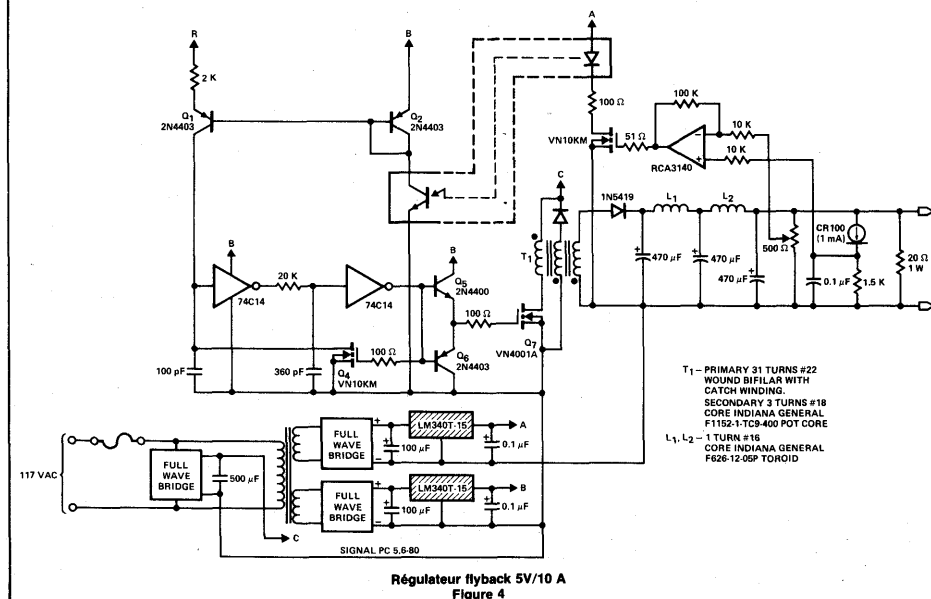
Siliconix a développé de nombreuses alimentations à découpage dans ses laboratoires. Les premières le furent afin d'acquérir des connaissances sur les caractéristiques que devait avoir le composant idéal pour ce type d'alimentation. Maintenant, de nombreuses réalisations ont été menées à bien pour montrer combien il était simple de concevoir un système en mode commuté en utilisant des

VMOS. Trois de ces régulateurs sont étudiés dans le présent article. Le premier est un très simple régulateur particulièrement peu onéreux. Le second est un montage en demi pont capable de délivrer un peu plus de puissance. Ce type d'arrangement des éléments permet en outre de sortir plusieurs tensions différentes requises en général dans les cartes à microprocesseur. Le dernier schéma proposé est un exemple de montage à pont complet.



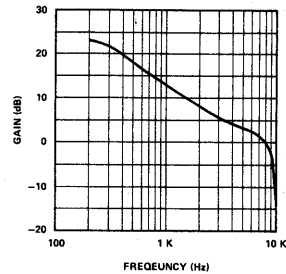
Aire de sécurité du VN 4000 A régime continu et pulsé sur charges résistives  
Figure 3

La figure 4 présente un régulateur flyback pouvant délivrer 5V-10 A en sortie. Les buts fixés étaient la simplicité et le faible coût. Afin d'atteindre ces buts, certains compromis ont dû être faits mais les performances générales de cette alimentation, sont encore excellentes.



Régulateur flyback 5V/10 A  
Figure 4

L'alimentation a été conçue de façon à ce que le temps de conduction des VMOS soit constant. La fréquence de fonctionnement varie afin de changer le rapport cyclique. Ce temps de conduction est approximativement de  $7\mu s$  et la fréquence de travail varie de 5 kHz à 100 kHz. Le système a été choisi en raison de sa simplicité de mise au point et le faible nombre de composants. Deux inconvénients sont cependant à signaler. Les filtres requis par ce système sont plus complexes en raison de la large gamme de fréquences de travail et de plus, comme pour tous les systèmes flyback, un noyau plus gros doit être utilisé en raison des besoins de stockage plus importants. Ces deux inconvénients sont très largement contrebalancés par la simplicité de cette configuration, intéressante pour les faibles puissances et les alimentations à découpage faible coût. Dans ce circuit, 2 inverseurs à effet trigger de schmitt sont utilisés en oscillateur à fréquence variable et à temps de conduction constant. La fréquence est contrôlée par la quantité de courant provenant du miroir de courant constitué par Q1 et Q2; la sortie de l'oscillateur CMOS est bufferisée par la paire Q5-Q6 montée en émetteur-suiveur afin de commander correctement le VMOS. Le montage émetteur-suiveur constitue une source basse impédance de charge et décharge de la capacité d'entrée du transistor VMOS. Le transformateur de sortie est un pot Indiana Général à trois enroulements. En raison de la haute fréquence de travail de l'oscillateur, des précautions doivent être prises quant à la réalisation du bobinage du transformateur, afin de minimiser l'inductance de fuite. Celui-ci est réalisé en enroulant tout d'abord 15 tours de l'enroulement secondaire, puis on



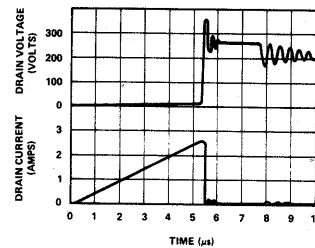
Réponse en fréquence en boucle fermée du régulateur flyback 50 W  
Figure 5

termine par les 16 derniers tours de l'enroulement primaire réalisé avec le câble bifilaire. Par l'entrelacement des deux enroulements primaire et secondaire, tel que nous l'avons décrit ci-dessus, les pertes ont été réduites au minimum et d'excellentes performances ont pu de ce fait être obtenues.

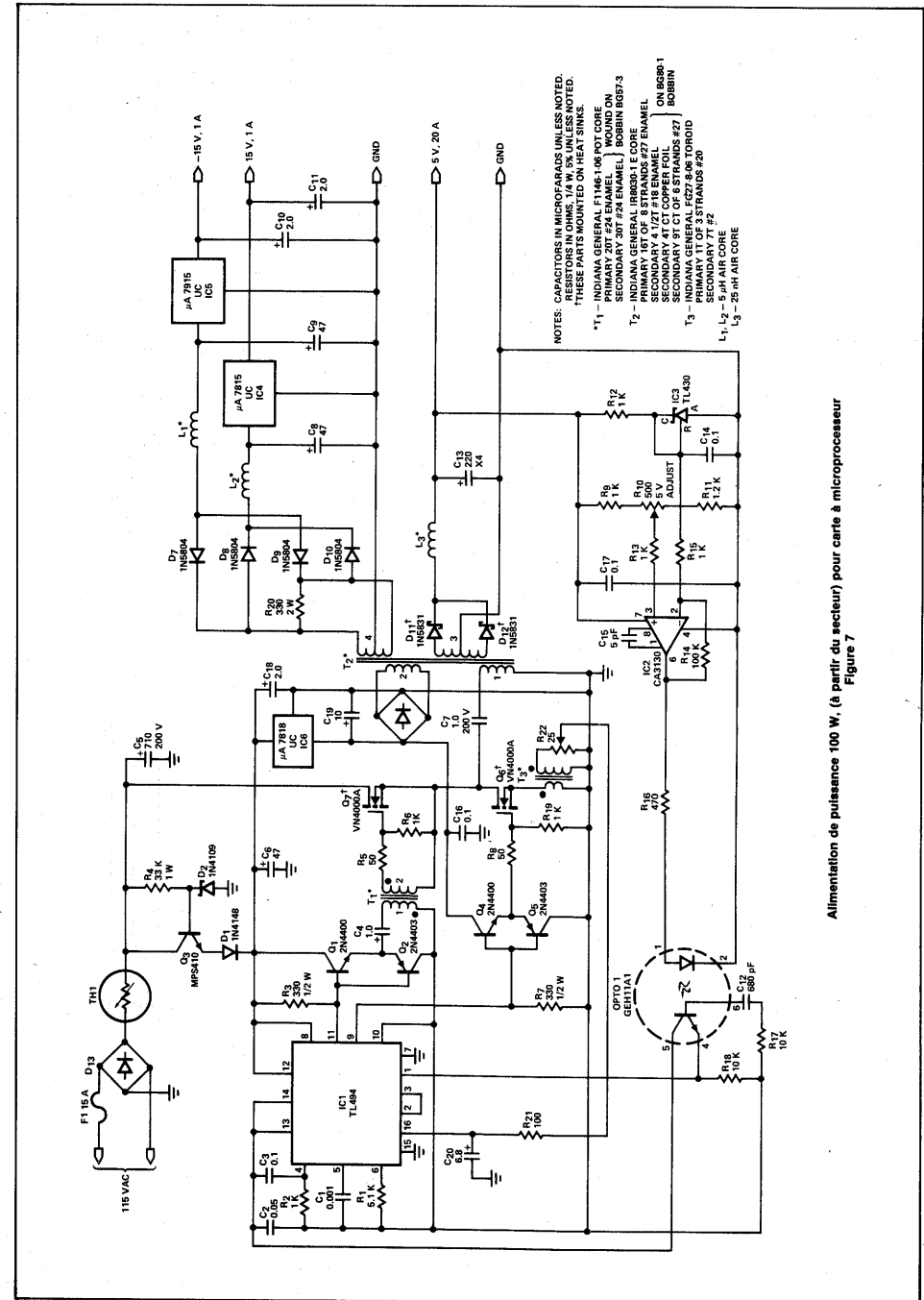
Du fait que la fréquence de travail de cette alimentation de puissance varie avec la charge, le filtre de sortie est plus complexe que ceux habituellement conçus. La réponse en fréquence est quand même satisfaisante. La figure 5 représente la courbe de gain en boucle fermée de l'alimentation en fonction de la fréquence.

Les courant et tension de drain du transistor de sortie sont montrés figure 6. Les temps de commutation sont très bons et les formes d'ondes quasiment idéales.

Un régulateur flyback offre des avantages à faible puissance en raison du nombre restreint de composants. Au fur et à mesure que les puissances de sortie augmentent, il devient de plus en plus difficile de concevoir un régulateur flyback simple. Mais il existe d'autres alternatives à ce type d'alimentation, spécialement dans le domaine forte puissance. La figure 7 présente un schéma d'alimentation 5V-20A utilisant un montage en demi pont. Cette conception est particulièrement bien adaptée à la gamme de puissance 100 à 500 W. Le montage fonctionne à fréquence constante et utilise la modulation de largeur d'impulsion pour contrôler la puissance débitée. Un circuit intégré Texas Instruments TL494 constitue le cœur de cette réalisation. Avec des VMOS, la réalisation de montages en demi pont et pont

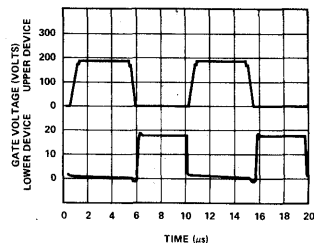


Formes d'onde en fonctionnement du régulateur flyback 50 W  
Figure 6

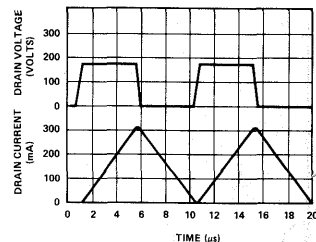


Alimentation de puissance 100 W, (à partir du secteur) pour carte à microprocesseur  
Figure 7

complet est une alternative au montage push-pull souvent utilisée. Dans cette dernière version, les transistors de sortie sont exposés à 2 fois la tension primaire par effet d'auto-transformatrice. Ceci oblige à utiliser des transistors haute tension plus coûteux. Ce désavantage est toléré, du fait que les alimentations à découpage réalisées avec des bipolaires, donc à faible fréquence, posent des problèmes de commande du transistor supérieur de la configuration totem-pôle. Avec les VMOS, en raison de la fréquence élevée de travail et de la puissance d'excitation négligeable requise par le dispositif, la commande du transistor supérieur est extrêmement simple. Dans le demi-pont présenté figure 7, l'enrichissement est obtenu par un montage bootstrap. Le système repose sur l'utilisation d'une capacité C1 en réaction entre la charge et la gate, qui se charge lorsque le transistor supérieur est OFF. Quand celui-ci se met à conduire, son potentiel de source commence à croître. Comme la tension aux bornes de la capacité C1 reste constante, la tension d'enrichissement du VMOS reste constante. La paire complémentaire montée en émetteur-suiveur autorise de fortes pointes de courant pour charger ou décharger la capacité gate-source rapidement. Le transistor inférieur de la paire est commandé directement par la sortie du TL 494 à la mise en conduction. Le blocage est obtenu par le PNP de l'émetteur-suiveur. La figure 8a, montre les allures des tensions de gate des deux VMOS. La courbe supérieure correspond au VMOS du haut et est donnée à 100V/division. Le petit plateau se trouvant en haut de l'onde est le point à partir duquel le montage bootstrap fournit la tension d'enrichissement gate-source nécessaire pour maintenir le dispositif ON lorsque sa source est au potentiel positif de l'alimentation. La figure 8b montre les allures des courant et tension de drain.



Allure des potentiels des gates de l'alimentation 100 W pour microprocesseur  
Figure 8 a



Tension drain et courant de gates de l'alimentation 100 W pour microprocesseur  
Figure 8 b

Cette conception qui utilise peu de composants est donc économique. Les  $\pm 15V$  et  $+5V$  de sortie font de cette alimentation un système idéal pour les cartes à microprocesseurs. Lorsque les spécialistes des alimentations commencèrent à remplacer les bipolaires par des VMOS, ils virent tout de suite les avantages qu'ils pouvaient tirer de ce composant. La principale source de problème est la tension de saturation du dispositif. Au maximum de la capacité en courant, ce déchet est 4 à 10 fois supérieur à celui d'un bipolaire équivalent. Ce simple fait, sans autre considération quant aux autres caractéristiques du VMOS, ferait apparaître celui-ci impossible d'emploi dans des alimentations à découpage, pour des conditions de rendement global. Toutefois, lorsqu'on considère ensemble les besoins de puissance de commande et les pertes de transition avec les pertes de saturation, les transistors VMOS ont presque toujours un rendement supérieur aux bipolaires utilisés dans les alimentations en mode commuté.

Une analyse des pertes de puissance associées aux éléments de sortie dans les systèmes en demi pont, servira à illustrer ce propos. Les pertes de saturation, de transition, et de commande, seront calculées et comparées pour ce circuit à VMOS, et un circuit équivalent à bipolaires. De façon à simplifier l'analyse, toute la circuiterie avant les éléments de sortie dans les deux montages sera supposée avoir un rendement de 100%. Le courant moyen de collecteur ou de drain sera fixé à 1,3 A et la tension d'alimentation sera de 340 V. Les pertes dans le VMOS s'établissent à :

$$\begin{aligned} \text{perte de saturation} &= R_{DS(ON)} \times I_{MOY} W \\ &= 1.0 \times 1.3 = 1.3 W \end{aligned}$$

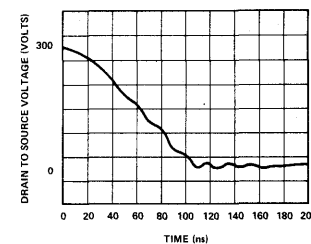
Les figures 9a et 9b montrent les temps de montée et de descente du VN 4000 A dans l'alimentation pour microprocesseur donnée en figure 7. En intégrant graphiquement l'aire sous les courbes et en faisant l'hypothèse que le courant reste constant pendant la transition, les pertes de commutation dans le transistor sont de 0,94 W. Cette valeur correspond bien au nombre obtenu par l'équation :

$$\begin{aligned} \text{Pertes de transition} &= (0,556) (V) (IC) (TOFF) (F) \\ &= 1,04 W \end{aligned}$$

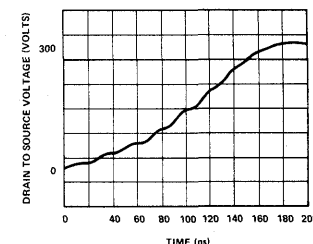
Les pertes de commande sont plus compliquées à évaluer. Il en existe principalement deux. Premièrement, les pertes dans les VMOS eux-mêmes. On peut les assimiler aux pertes dans la capacité d'entrée  $C V^2 F$ . Deuxièmement, les pertes dans les transistors de commande. La capacité d'entrée du VN 4000 A de Siliconix est d'environ 800 pF. à 20 kHz, les pertes  $C V^2 F$  sont :

$$\begin{aligned} P &= (800 \cdot 10^{-12}) (15)^2 (20 \cdot 10^3) \\ &= 3,6 mW \times (2 \text{ éléments}) = 7,2 mW \end{aligned}$$

La plus grande perte dans le circuit de commande vient du réseau de translation de niveau. Si l'on considère un rapport cyclique de 50 %, ces pertes s'établissent à 5 W, le total de ces pertes est donc d'environ 7,3 W.



Décroissance du potentiel drain de l'alimentation 100 W  
Figure 9 a



Croissance du potentiel drain de l'alimentation pour microprocesseur  
Figure 9 b

L'analyse du circuit à bipolaire équivalent sera menée avec un 2N 6671. A 1,3 A la tension de saturation de ce transistor se trouve être de 0,9 V, ce qui entraîne une perte de 1,2 W. Comme escompté, ceci est meilleur qu'avec un VMOS.

Les temps de montée et de descente du 2N 6671 sont de 0,5  $\mu s$ . En appliquant les mêmes hypothèses et les mêmes équations avec toutefois l'hypothèse supplémentaire que le circuit de commande est capable de piloter les dispositifs de sortie à cette vitesse, les pertes de transition sont d'environ 4,3 W.

Le  $\beta$  garanti de ce composant étant de 10 minimum, le courant de base s'établit donc à 130 mA. Parce que le montage bootstrap n'est pas utilisable pour une telle valeur de courant, une alimentation flottante est un moyen simple d'obtenir la puissance nécessaire pour commander ces composants. Avec une tension de 10 V et un rendement de 60 %, la commande consomme  $2 W \times 2 \text{ éléments} = 4 W$ . Un réseau de translation de niveau est ici aussi nécessaire, pour contrôler le transistor à partir du circuit intégré qui n'est pas flottant. Si des techniques similaires à celles utilisées pour les VMOS sont appliquées, et si l'on garde présent à l'esprit que le signal de commande doit être translaté, 3 W est une puissance raisonnable. Ceci donne pour le montage à bipolaire une perte de puissance d'environ 9,5 W.

Ainsi, déjà à 20 kHz, les pertes du VMOS sont inférieures à celles d'un bipolaire équivalent.

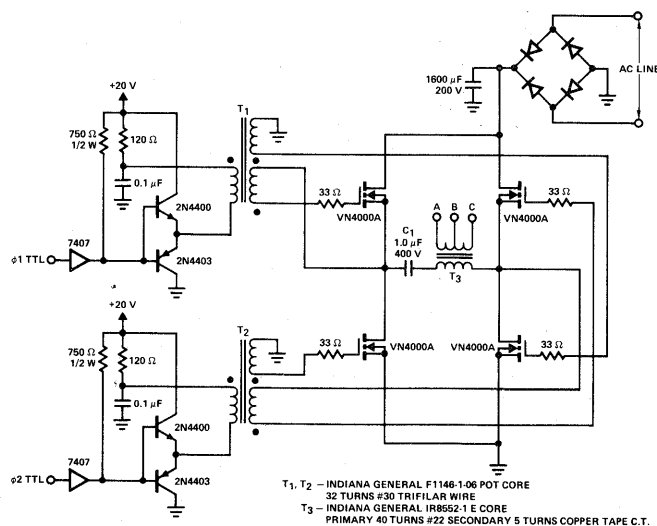
A des fréquences de fonctionnement supérieures, possibles avec des VMOS, les tailles et coûts des transformateurs, inductances et capacités seront plus réduits. Ces réductions de prix donnent au VMOS un avantage important sur le bipolaire. La figure 10 présente une alimentation à découpage en pont complet. Cette configuration est idéale pour une gamme de puissance s'étendant de 300 à 1500 W. La nécessité d'utiliser 4 dispositifs de puissance rend ce système pratiquement inutilisable économiquement parlant pour les alimentations faibles puissances. Des techniques de commande similaires à celles montrées dans le montage demi-pont peuvent être utilisées, mais ici une commande par transformateur a été choisie. Ceux utilisés sont des Indiana Général. Cette technique de translation de niveau est très simple et le même circuit peut être utilisé pour n'importe quelle taille de VMOS, permettant de couvrir une gamme étendue de puissance de sortie, sans avoir à changer le système de commande. La figure 11 donne l'allure de la tension de gate, ainsi que la forme d'onde du courant de magnétisation.

### Conclusion

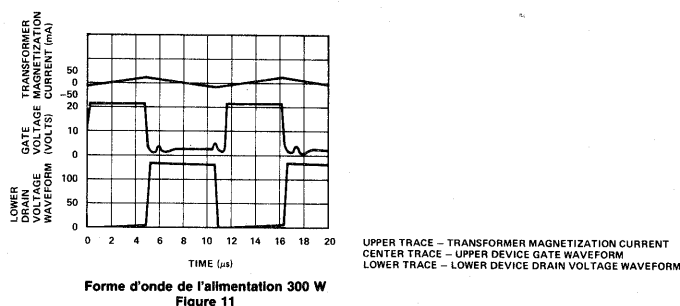
L'ensemble des données analytiques et des données obtenues à partir de circuits réels, montrent les avantages du VMOS dans les alimentations en mode commuté : avantages incluant moindre coût, performances supérieures, meilleure fiabilité et simplicité des circuits.

### REFERENCES

1. B. Roehr, Significance of Inductive Switching Specifications, Solid State Powerconversion, July/August 1979, pp. 33-42.
2. D. Hoffman, L. Schaeffer, VMOS — A Breakthrough in Power MOSFET Technology, VMOS Design Catalog, November 1979.
3. RCA Corporation, Solid State Power Circuits, © 1971 RCA Corporation.
4. General Electric, SCR Manual 4th Edition, © 1967 G.E. Corporation.



Etage de puissance en pont complet 300 W, à partir du secteur  
Figure 10



## Une autre conception de l'amplificateur de puissance

Une nouvelle topologie de circuit utilisant des VMOS offre linéarité et simplicité sans distorsion d'intermodulation transitoire.

Les efforts consacrés à l'étude d'amplificateurs de puissance à bipolaires ont permis d'établir un ou deux schémas généraux que l'on peut aujourd'hui considérer comme standards. Les traits principaux de ces réalisations sont, un étage différentiel d'entrée, un amplificateur de tension à grand gain et slew-rate, et un étage de puissance. Le schéma le plus commun est celui montré figure 1. Ce circuit est analogue à un amplificateur opérationnel 741 et présente les problèmes audio inhérents à ce composant, lesquels peuvent être améliorés en travaillant à plus fort courant. Le slew-rate du circuit est simplement  $1/POLARISATION/COMPENSATION$ , et la bande passante  $GM/2\pi COMPENSATION$ . L'addition d'un étage de gain en tension avant l'étage de forte pente GM augmentera la bande passante grâce à l'extra gain (1 à 10) sur l'étage de puissance, les autres principaux systèmes augmentent le slew-rate mais souvent réduisent la bande passante.

Considérons les problèmes d'étude associés à chaque étage. L'étage d'entrée est généralement acceptable, la linéarité peut être obtenue par des bipolaires ou des Fets, en utilisant des résistances d'émetteur ou de source en contre-réaction, car les signaux sont de faible amplitude. Les sources de signaux présentant généralement de faibles impédances, elles n'entraînent pas, malgré l'introduction de limitations en FT des éléments d'entrée, des pôles de réponse en fréquence.

Le second étage présente beaucoup plus de problèmes. Il a généralement une forte impédance de sortie  $COMPENSATION NON CONNECTÉE$ , de grandes variations de tension, et est l'étage où le pôle de fréquence dominant est introduit, par la capacité de compensation. Sa qualité est souvent excellente quand il n'est pas chargé, mais l'étage de

puissance introduit une charge importante et non linéaire sur sa sortie. Ce dernier étage pose d'ailleurs le plus de problèmes. Il présente la plus mauvaise réponse en fréquence, inconvénient habituel des bipolaires de forte puissance, et son impédance d'entrée est extrêmement non linéaire. En raison des variations des  $\beta$  avec les courants d'émetteur. Un modèle simple d'amplificateur peut être celui de la figure 2 où :

GM : dépend de la conception du circuit  $\approx 30 \text{ mS}$

AV : aussi grand que possible =  $Z_{COLLECTEUR} \cdot GM$ .

gain de l'étage  $\approx 10^2$  à  $10^3$ .

ZÉTAGE DE GAIN : peut être supposée arbitrairement grande et ignorée.

ZCOLLECTEUR : aussi grande que possible pour accroître AV :  $10^3$  et au dessus.

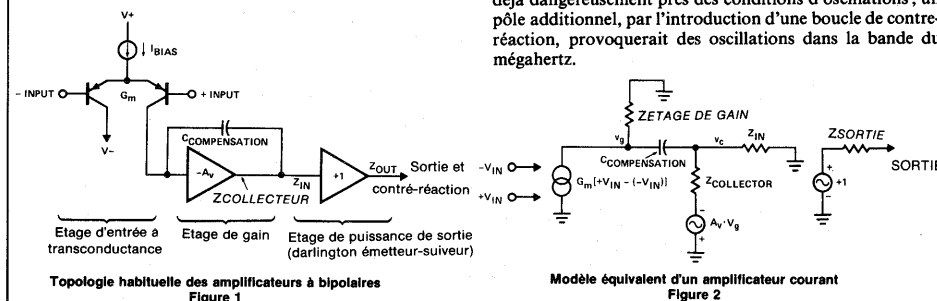
ZSORTIE : impédance d'émetteur des dispositifs de puissance en émetteur-suiveur.

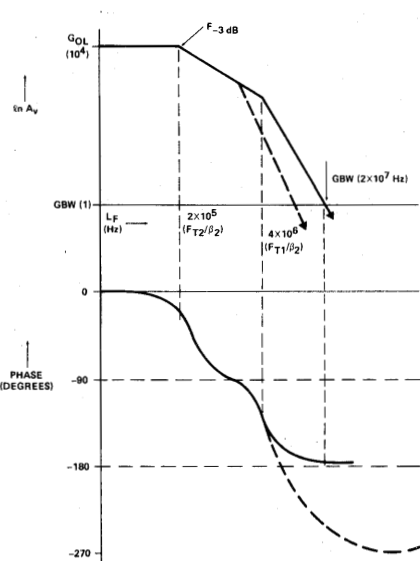
$\approx RE / 2 + Z_{COLLECTEUR} / \beta_1 \beta_2$ .

ZENTRÉE : généralement établie pour les darlington de puissance.

$$\approx \frac{\beta_1 \beta_2 Z_{CHARGE}}{[1 + j\beta_1 (f/FT_1)] [1 + j\beta_2 (f/FT_2)]}$$

$\beta_1$  et  $FT_1$  sont les  $\beta$  et FT du circuit de commande ;  $\beta_2$  et  $FT_2$  ceux du circuit de puissance.  $\beta_1, \beta_2, FT_1, FT_2$  sont tous des fonctions du courant délivré à la charge, ce qui est une bien mauvaise condition de maintien de la linéarité. Donnée pour  $COMPENSATION = 0$ , la figure 3 montre le gain typique de boucle ouverte et les caractéristiques de phase. Les difficultés importantes sont presque claires dans le diagramme de Bode, si nous introduisons arbitrairement un nouveau pôle (indiqué par les courbes en pointillés). La réponse de base en fréquence d'un système à deux pôles étant déjà dangereusement près des conditions d'oscillations ; un pôle additionnel, par l'introduction d'une boucle de contre-réaction, provoquerait des oscillations dans la bande du mégahertz.

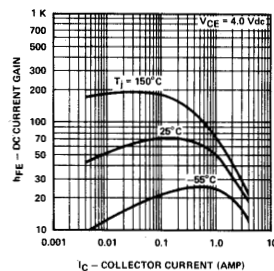




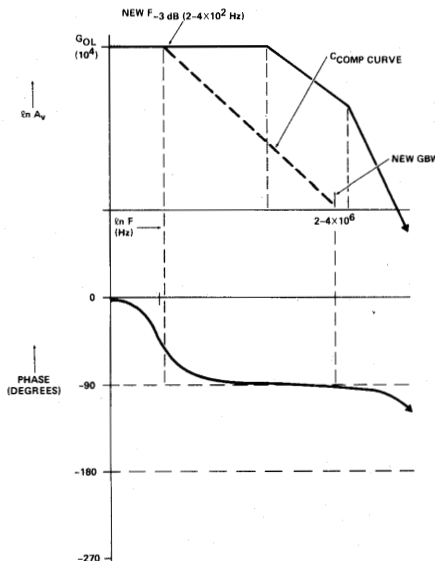
Caractéristiques de phase et de gain de boucle ouverte typiques (diagramme de Bode)  
Figure 3

Or, ce pôle supplémentaire peut être aisément rencontré. L'étage d'extra gain, devant l'étage de transconductance (si utilisé), présenterait une charge à partir du point  $f_T/\beta$  de l'impédance d'entrée de l'étage de transconductance. Toute sortie capacitive pourrait créer un pôle supplémentaire. Finalement, la boucle de contre-réaction elle-même n'a pas une impédance nulle et peut être chargée par la capacité de l'étage d'entrée.

L'utilisation de  $C_{COMPENSATION}$  est illustrée figure 4. La capacité stabilise le gain de boucle ouverte et la phase à l'extrémité de la bande passante. En fait, quoique le gain dans la bande soit diminué par un facteur 5 à 10 en appliquant  $C_{COMPENSATION}$ , le gain de boucle ouverte à 10 kHz a été réduit de 25 à 50 ! Cet effet se traduit par une pauvre fidélité aux signaux audio, spécialement quand un gain de boucle fermée d'environ 30 est requis pour l'amplificateur. Pour les constantes données primitivement



Comparaison entre le gain en courant (bêta) d'un bipolaire et la transconductance du VMOS  
Figure 5



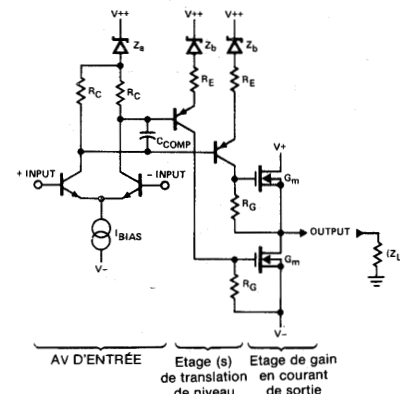
Caractéristiques de phase et de gain d'un amplificateur compensé (boucle ouverte)  
Figure 4

$C_{COMPENSATION} \approx 100$  pF. Le slew-rate obtenu, pour une polarisation de 20 mA est de seulement 10 V/μs. Ceci est beaucoup trop près de la valeur minimum et un transitoire ample pourrait causer une limitation par slew-rate.

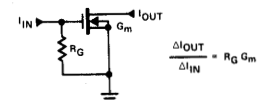
#### Une approche à VMOS

Il est évident que les bipolaires de puissance sont les éléments problématiques de l'amplificateur. Des améliorations significatives peuvent être obtenues en utilisant des VMOS de puissance plutôt que des bipolaires. La figure 5 montre la constance de la transconductance d'un VN 64 GA sur une grande plage de courant, comparativement au  $\beta$  du populaire 2N 3055. Un autre avantage du VMOS aux fréquences audio est l'absence de second claquage, ce qui améliore la robustesse de l'amplificateur sur charges réactives et aux forts niveaux de puissance.

L'amplificateur à VMOS est présenté figure 6. Une modification fondamentale est que la conversion du signal classe A de l'étage d'entrée différentiel en un signal classe B sur l'étage de puissance, est réalisée au niveau de l'étage intermédiaire plutôt qu'au niveau de l'étage de sortie. La majeure partie de l'amplification en tension est obtenue dans le premier étage, lequel travaille à faible niveau en classe A. La différence des tensions Zener  $Z_A$  et  $Z_B$  ( $V_{ZA} < V_{ZB}$ ) fait que les transistors PNP commutent ensemble plus vite à l'état OFF, quand leur base respective devient positive avec le signal, et travaillent en étage à gain linéaire quand leur base respective devient plus négative que le niveau de repos. Les étages de sortie à VMOS travaillent en miroir de courant avec gain (figure 7). Cela signifie que l'impédance de sortie en boucle ouverte de l'amplificateur est pratiquement infinie. Il est généralement supposé qu'une impédance faible



Topologie de l'amplificateur à VMOS  
Figure 6



« Miroir de courant » à VMOS avec gain  
Figure 7

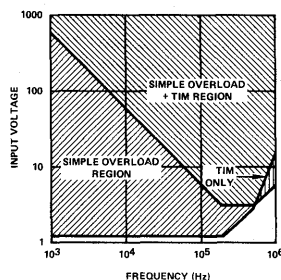
de sortie (en boucle ouverte) est utile pour prévenir toute introduction de pôle nouveau sur charge capacitive. Aussi, le réseau de sortie figure 11 découple effectivement les charges réactives au-dessus de 300 kHz alors qu'au dessous, la marge de phase suffit.

Le tableau figure 8 résume les performances typiques des divers étages des deux topologies. Les caractéristiques sont : la distorsion de boucle ouverte plus faible avec les VMOS, spécialement aux forts niveaux de sortie ; la bande passante en puissance et la bande passante en boucle ouverte nettement plus larges dans l'approche à VMOS, assurant des caractéristiques de distorsion constantes à travers toute la bande audio. En comparant les performances des deux topologies à bas niveaux, peu de différences pratiques apparaissent. Les deux circuits réagissent comme des amplificateurs opérationnels classiques et sont « auditivement parfaits ». La distorsion de l'amplificateur à bipolaires croît au-dessus de 1 kHz, en raison de la chute du gain de boucle ouverte.

	Topologie à bipolaires			Topologie à VMOS de puissance		
	Etage d'entrée	Second étage	Etage de sortie	Etage d'entrée	Second étage	Etage de sortie
Linéarité requise	moyenne	grande	grande	moyenne	moyenne	grande
linéarité obtenue	0.1%	2-5%	"400%"	0.1%	0.4%	30%
Fréquence typique (-3dB)	généralement peu importante	$10^3$ Hz	$2 \times 10^5$ Hz	$5 \times 10^5$ Hz	$5 \times 10^5$ Hz	pas importante
Gain typique	30 mV and up	500	1	500	1-3	500
Fréquence de slew-rate	$\sim 10^7$ Hz	$4 \times 10^4$ Hz compensée	$2 \times 10^5$ Hz	$6 \times 10^7$ Hz	$5 \times 10^5$ Hz	$3 \times 10^7$ typique
Distorsion totale de boucle ouverte		"400%"			30%	
Gain total de boucle ouverte		$2 \times 10^4$ and up			$2 \times 10^5$	
Bande passante de puissance totale		$4 \times 10^4$ Hz			$5 \times 10^5$ Hz	
Bande passante typique en boucle ouverte et petits signaux (-3dB)		$10^3$ Hz			$3 \times 10^5$ Hz	

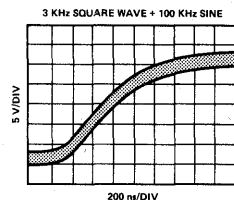
Comparaison des paramètres des différents étages  
Figure 8

Toutefois à grand slew-rate, les deux techniques réagissent différemment. Le slew-rate du circuit à bipolaires est tout juste moyen pour la plus haute qualité audio, ce qui entraîne des surcharges transitoires lorsqu'une forte dynamique est appliquée à l'entrée. En particulier, le premier étage sera surchargé en raison de la forte contre-réaction qui lui sera appliquée lorsque les deux autres étages ne pourront pas suivre le signal. Ceci peut causer des temps de recouvrement du circuit suivant un front, quand le premier étage essaie de ramener son niveau de sortie dans les limites de fonctionnement. Un exemple en est les "angles" distordus qui suivent immédiatement les fronts limités en slew-rate sur de nombreux amplificateurs. Durant le front limité et "l'angle" suivant, l'étage d'entrée n'est pas linéaire et aucun signal ne peut être restitué. Cette caractéristique de surcharge qui dure souvent plus longtemps que le transitoire lui-même, est auditivement « inacceptable » dans les amplificateurs bipolaires à grande contre-réaction.

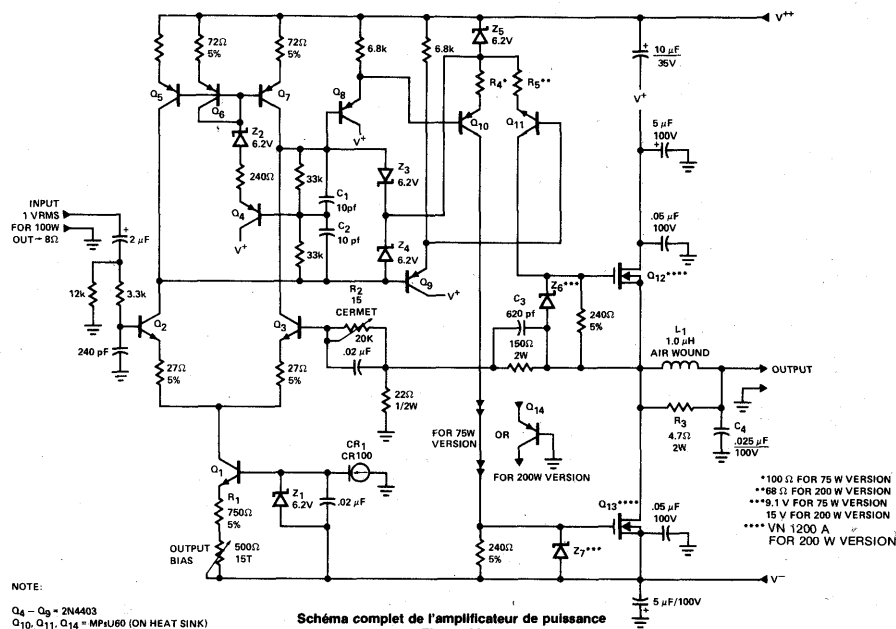


Caractéristiques de surcharge en fonction de la fréquence  
Figure 9

L'amplificateur à VMOS, ne présente pas cette distorsion transitoire. La raison en est que la bande passante de puissance (définie ici comme la fréquence d'une onde sinusoïdale qui excède la capacité de sortie à pleine puissance de l'amplificateur sans se préoccuper de combien chute le gain en petits signaux) excède la bande passante en petits signaux de 100 kHz typique. Un filtre d'entrée, en même temps qu'un filtre de contre-réaction, est utilisé pour réduire la bande passante en petits signaux, et non la simple capacité de compensation limitant le slew-rate (figure 1). Cela signifie qu'une surcharge environ 20 fois plus importante par rapport à la pleine puissance d'entrée sera nécessaire à 500 kHz pour créer une distorsion d'intermodulation transitoire. La figure 9 montre le rapport des niveaux d'entrée nécessaire pour atteindre les deux zones de distorsion d'intermodulation transitoire et de simple surcharge. Pour toute fréquence au-dessous de 500 kHz, l'amplificateur entre en zone de simple surcharge, et une distorsion d'intermodulation transitoire n'est pas induite. L'avantage de la topologie VMOS est donc qu'il n'y a aucune distorsion d'intermodulation transitoire dans la bande audio. La figure 10 montre graphiquement l'absence

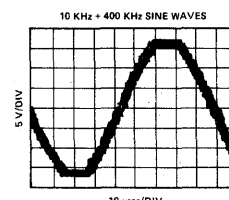


Réponse de l'amplificateur  
Figure 10



de distorsion avec cette topologie quand on applique un signal sinusoïdal de 100 kHz superposé à un signal carré de 3 kHz.

Le dernier mécanisme de distorsion qui doit être considéré, est la simple surcharge en tension de la sortie. Beaucoup d'amplificateurs bipolaires présentent un "trainage" à pleine puissance sur des surcharges, (quand on atteint les tensions d'alimentation), dû aux saturations des transistors et au fonctionnement en dehors de la zone linéaire durant celles-ci. Cela peut-être surmonté dans un amplificateur bipolaire, mais au prix d'une réduction de tension de sortie. Dans l'amplificateur à VMOS figure 11, on présente un exemple de limitation de la tension en introduisant les diodes zener Z3, Z4, Z6 et Z7. La figure 12 montre que les transistors VMOS restent des dispositifs rapides sans trainage quand on dépasse leur tension drain-source.



Caractéristiques de surcharge de l'amplificateur  
Figure 12

La figure 11 est le schéma complet de l'amplificateur. Q1 procure un courant constant ajustable à l'amplificateur différentiel Q2 et Q3. Q4 à travers Q7 forme une charge en courant compensée pour la paire Q2 et Q3 citée. L'impédance en mode commun de la charge est de quelques centaines d'ohms, alors que l'impédance différentielle est très grande et permet un gain d'environ 1000 dans le premier étage, sans créer d'instabilités. Q8 et Q9 en tant que buffer, travaillent sur une haute impédance de charge (33 kΩ + 33 kΩ), et pilote les commandes des VMOS Q10 et Q11. Ces éléments travaillent en classe AB1 et ne forment pas un amplificateur différentiel. Ils travaillent en étage translateur de niveau et commande en courant vis à vis des résistances de gate des VMOS. Q10 et Q11 conduisent environ 20mA mais peuvent débiter 60 mA pour charger les capacités de gate à haute fréquence. Pour la même raison, les résistances sont à une valeur faible de 240 Ω.

L'étage de sortie est symétrique en fonctionnement en basses et hautes fréquences. Q14 réduit la tension de fonctionnement de Q10 quand on travaille avec des tensions d'alimentation supérieures, augmentant ainsi la fiabilité. Le courant de Q1 est converti au niveau de polarisation à travers tous les étages, et sert à l'ajustement final du courant de repos des VMOS. En raison du circuit Q4 - Q7, le niveau de polarisation varie lentement et en dent de scie avec l'ajustement du trimmer de 500 Ω. La figure 13 représente le diagramme de Bode de la variation des divers gain de boucle et de la phase de l'amplificateur de la figure 11.

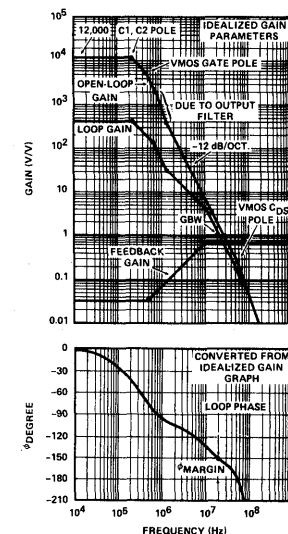


Diagramme de Bode des diverses courbes de gain et phase de l'amplificateur à VMOS  
Figure 13

#### Conclusion

Etant donnée l'utilisation de VMOS de puissance et un réarrangement du circuit, les amplificateurs audio de puissance peuvent être construits en ne présentant, ni de distorsion d'intermodulation transitoire, ni de "trainage" sur des surtensions à pleine puissance, tout en ayant un très faible bruit et une très bonne distorsion.

## Alimentation faible coût pour des applications à microprocesseur

### Construction d'une alimentation à découpage 100 kHz à sorties multiples

#### Introduction

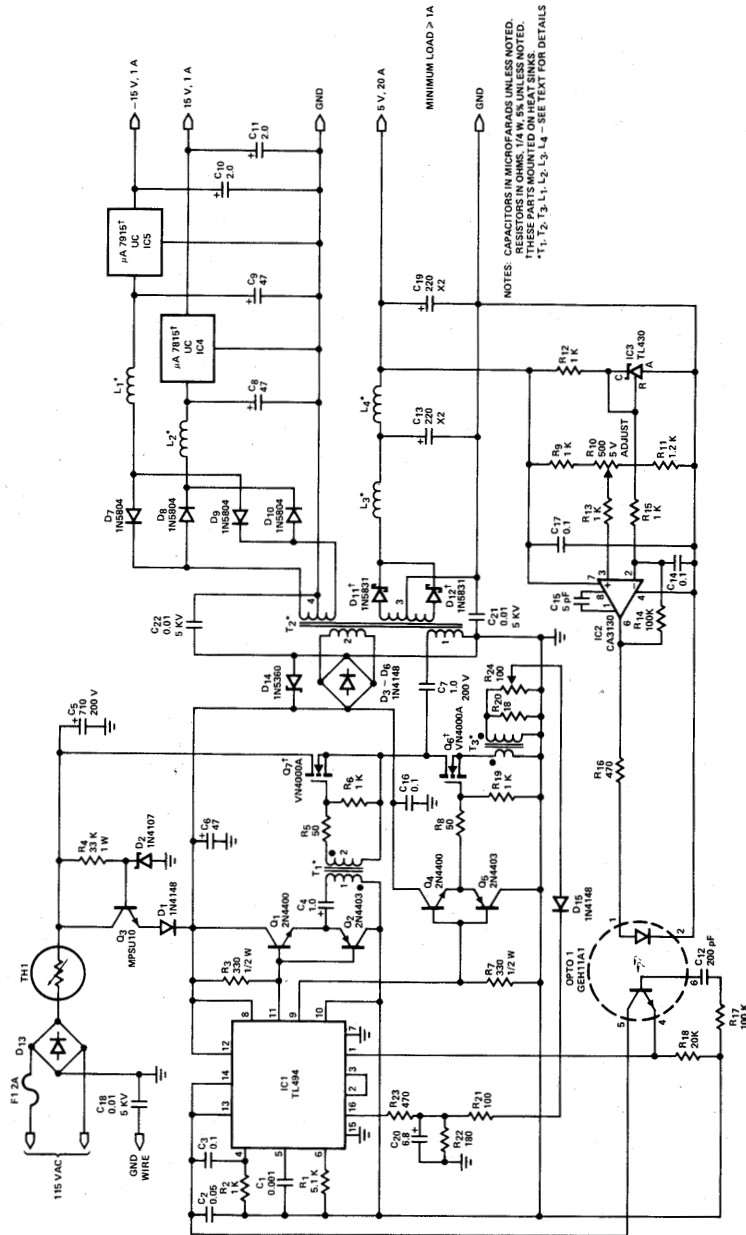
Les alimentations à découpage du commerce travaillent à des fréquences comprises entre 20 et 40 kHz, avec des rendements de 70 à 75 %, pour des dimensions et un poids raisonnables. Des rendements équivalents ou même meilleurs peuvent être obtenus par élévation de la fréquence de fonctionnement à 100 kHz et au-dessus, en utilisant des VMOS de puissance comme éléments de commutation. A ces fréquences relativement élevées, des éléments réactifs plus petits donc moins onéreux, peuvent être utilisés, tout en délivrant la même puissance de sortie. Le principal facteur limitant la fréquence de travail des alimentations conventionnelles en mode commuté, est le temps de montée des transistors bipolaires, dû en grande partie au temps de stockage des porteurs minoritaires. Les VMOS étant des dispositifs à porteurs majoritaires, ils n'ont pas de temps de stockage. La série VN 4000 A des dispositifs 400 V, commute en 100 ns maximum autorisant des découpages à haut rendement jusqu'à 500 kHz et plus.

Parce que le VMOS est un composant contrôlé en tension, les circuits de commande sont plus simples et consomment moins de puissance que ceux d'un bipolaire à fort courant. L'aire de sécurité rectangulaire du composant signifie qu'il peut supporter à la fois son courant et sa tension maximums, sans crainte du second claquage. Les éléments de protection et d'amortissement dans les montages à bipolaires, ajoutent au coût et dissipent de la puissance. Ils ne sont pas

nécessaires avec les VMOS. Des diodes de protection sont obligatoires dans les configurations totem-pôle des montages demi-pont et pont complet, afin d'éliminer les problèmes de surtensions d'origine inductive. Ces diodes doivent être ajoutées extérieurement aux bipolaires et augmentent le coût. Dans le cas du VMOS, elles font partie de la structure du dispositif. L'aire de sécurité, la diode de structure et des circuits de commande plus simples, rendent les VMOS de puissance particulièrement attractifs dans les circuits d'alimentation, dans la mesure où ils simplifient la circuiterie et réduisent le coût.

#### Conception de l'alimentation

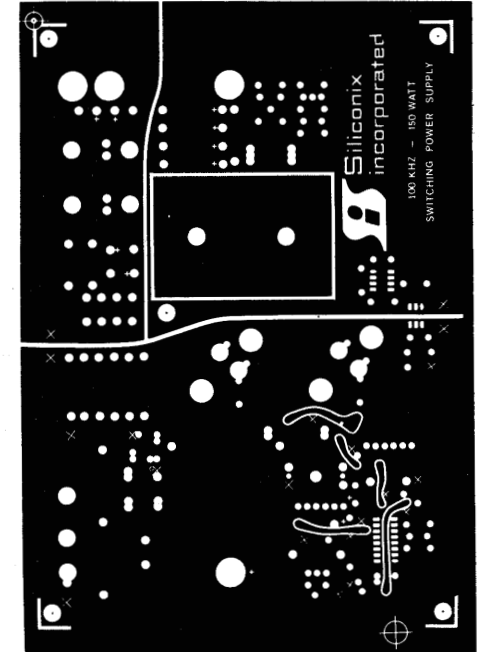
L'alimentation présentée ici, figure 1, utilise deux VN 4000A 400V dans une configuration en demi-pont. Les sorties délivrent +5 V—20A et  $\pm 15$  V (ou  $\pm 12$  V) —1A. Parce que des régulateurs intégrés trois broches sont utilisés pour les sorties faible courant, les  $\pm 12$  V ou  $\pm 15$  V peuvent être obtenus par un simple changement dans le bobinage du secondaire du transformateur (voir les détails de construction). Un modulateur de largeur d'impulsion TL 494 procure la modulation et les signaux de commande nécessaires à l'alimentation. Le transistor VMOS supérieur (Q7) dans l'étage de commutation de puissance, est commandé par un petit transformateur. Celui du bas (Q6), du fait qu'il est référencé à la masse, est piloté directement par le circuit intégré de contrôle.



Alimentation de puissance à découpage en demi-pont 100 kHz - 150 W  
Figure 1



Détails du circuit imprimé face inférieure  
Figure 2a



Détails du circuit imprimé face supérieure  
Figure 2b

A la mise en fonctionnement, un régulateur de tension (Q3, R4 et D2, figure 1) fournit directement à partir de la ligne redressée double alternance, les 14 volts nécessaires aux circuits de contrôle et de commande. Dès que l'alimentation a démarré, la tension provenant d'un enroulement secondaire séparé est redressée, filtrée et utilisée à alimenter la circuiterie. Quand cette alimentation atteint sa tension nominale, la diode D1 polarisée en inverse (+ 18 V sur sa cathode), coupe automatiquement le régulateur de démarrage, organe présentant le plus faible rendement. Un courant minimum de 1A doit être tiré sur le + 5V pour assurer le blocage du régulateur de tension. Si un courant inférieur est prélevé sur cette sortie, le système de contrôle sera alimenté par la ligne et l'excès de puissance sera dissipé dans Q3.

Toutes les sorties sont isolées du secteur. Le + 5V a été choisi pour être la principale tension stabilisée, contrôlée par le modulateur. L'information de contre-réaction prélevée sur cette sortie est isolée optiquement du côté ligne par un photocoupleur. Toute l'alimentation est protégée contre une surcharge de débit, en contrôlant le courant primaire traversant le transistor VMOS inférieur. Ce signal est utilisé pour couper l'alimentation.

#### Détails de construction

Des précautions doivent être prises pour la réalisation du circuit imprimé lorsqu'on travaille à forte puissance et haute fréquence de commutation. Un seul point de masse est absolument nécessaire pour éviter toute boucle rendant le système instable. Des plans de masse sur le circuit éliminent les interférences électromagnétiques. Le circuit présenté ici, fonctionne correctement et est fiable. Son utilisation rendra la construction plus simple et vous permettra de tirer le maximum des VMOS haute tension VN 4000 A.

#### Le circuit imprimé

Il est réalisé en double face. (Figure 2). La plupart des pistes se trouvent sur le dessous alors que le dessus est utilisé en tant qu'écran de masse. Trois réseaux de masse sont nécessaires : un pour les circuits d'entrée et de contrôle, un pour les sorties  $\pm 15$  Volts, et un pour le + 5 Volts. Si on désire référencer toutes les sorties par rapport à une même masse, on peut connecter ensemble, les réseaux correspondants aux sorties. Des trous métallisés ne sont pas nécessaires pour réaliser le circuit imprimé mais sont très



utiles. Dans le cas où on ne les utilise pas, tous les composants connectés aux pistes de la face supérieure ou sur les plans de masse doivent être soudés sur les deux faces. Ce circuit ne nécessite que peu de connexions d'une face sur l'autre qui ne soient réalisables au moyen des composants eux-mêmes. Afin de les réaliser, on peut utiliser un morceau de fil de câblage. Tous les points à souder sur la face supérieure sont signalés par une croix. Le tableau 1 indique les diamètres de perçage des différents trous du circuit imprimé.

#### DIAMÈTRES DE PERÇAGE DES TROUS

Toutes les données relatives au perçage des trous ou au diamètre des fils utilisés pour bobiner selfs et transformateurs sont conformes aux normes américaines AWG.

- #66 IC1-IC3, résistances 1/4 W, capacités disque, phototocoupleur, Q1-Q5, D1-D6, C6, C13.
- #60 Carcasse de T1, résistances 1/2 W, C8, C9, le secondaire de T3.
- #57 Résistances 1W, carcasse de T2, D7-D10, C7.
- #54 R10, IC4, IC5, L1-L4, R24, Primaire de T3.
- #44 Pattes des TO-3, fil d'alimentation secteur.
- #23 IC4, IC5, vis de fixation des TO-3 5 V CT.
- 3/16" D11, D12.
- 1/4" C5.
- 5/16" Fiches bananes.

#### RÉALISATION DES TRANSFORMATEURS

Trois transformateurs sont utilisés dans cette alimentation de puissance.

- T1 : Transformateur de commande du VMOS.
- T2 : Transformateur de puissance.
- T3 : Transformateur de contrôle du débit en courant.

Les **détails** de réalisation des bobinages donnés ici, doivent être scrupuleusement suivis, surtout pour le transformateur de puissance T2.

#### T1 : Transformateur de commande du VMOS

Utiliser la carcasse et le pot indiqués dans la nomenclature. Pratiquer comme suit :

- Primaire : — 20 tours de fil émaillé jauge 24.
- Secondaire : — 30 tours de fil émaillé jauge 24.

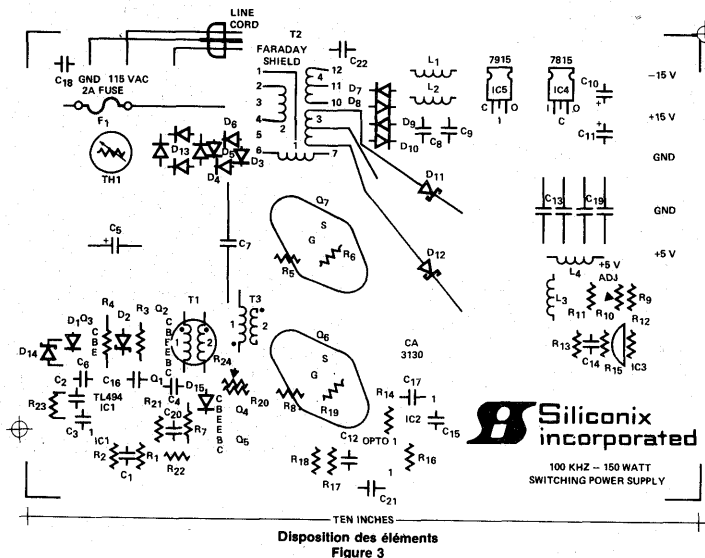
Faire les connexions sur la carcasse en fonction des emplacements des éléments montrés figure 3.

#### T2 : Transformateur de puissance

Si on utilise la carcasse proposée, la patte 1 a un repère d'identification. Bobiner de la façon suivante.

#### Primaire :

Il est réalisé comme un fil de litz de plusieurs brins de fil émaillé (voir figure 4). Couper 8 bouts de fil émaillé de diamètre jauge 28 et de 1,8 m de long. Les placer en parallèle, torsader les bouts (et non sur toute la longueur) mais ne pas les souder. Plier l'ensemble de ces fils par le milieu et bobiner 8 tours de ce toron doublé sur la bobine. Couper les fils au niveau de la pliure de façon à avoir 4 sorties. Torsader les deux nouvelles terminaisons obtenues, puis connecter le début D du premier faisceau à la sortie B de l'autre. Ceci connecte effectivement les enroulements en série pour obtenir 16 spires au primaire. Le but de cette manipulation est d'égaliser le flux dans le noyau. Connecter les 2 extrémités libres à la carcasse comme indiqué figure 3. L'opération doit aboutir à un bobinage net, serré et régulier. A ce stade, couvrir le primaire avec un papier d'isolation cartonné presspahn.

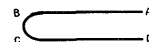


Disposition des éléments  
Figure 3

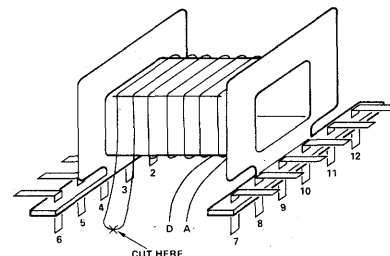
#### Etape 1 : former un faisceau de 8 fils parallèles de jauge 28



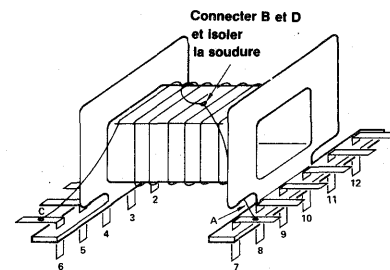
#### Etape 2 : plier par le milieu



#### Etape 3 : bobiner sur la carcasse



#### Etape 4 : connecter C et A aux plots 6 et 7



Bobinage du primaire du transformateur  
Figure 4

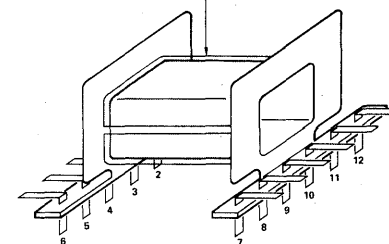
#### Secondaire + 18V (2)

Commencer par bobiner régulièrement sur le primaire 4, 5 tours de fil émaillé de diamètre jauge 24 (environ 50 cm). Connecter les extrémités comme montré figure 3. Mettre une feuille de papier presspahn sur cet enroulement du transformateur.

#### Ecran de Faraday

Cet écran est utilisé pour minimiser les rayonnements électromagnétiques. Couper un morceau de 5/8 de pouce (1,58 cm) de feuille de cuivre sur 3 pouces (7,62 cm) de long, et l'enrouler autour des bobinages déjà réalisés (voir figure 5). Ne pas faire un tour complet mais laisser environ 1/4 de pouce (0,63 cm) entre les extrémités afin qu'elles ne se touchent pas. Souder un petit morceau de câble multibrins

Souder le câble sur cette face et connecter l'autre extrémité au plot N° 1 de la carcasse



Ecran de Faraday  
Figure 5

(jauge 20) sur l'écran et connecter sur la carcasse (figure 3). Placer une nouvelle feuille de papier presspahn, afin de recouvrir l'écran.

#### Secondaire ± 15 V (4)

Faire un nouveau fil de litz similaire à celui réalisé au primaire, mais avec cette fois 6 fils torsadés émaillés de jauge 28 et d'une longueur de 40" (1 m) (voir figure 6). Torsader les extrémités ensemble et plier par le milieu comme pour le primaire. Bobiner 5 tours de ce double faisceau sur les enroulements déjà réalisés (4,5 tours pour ± 12 V). Couper à la pliure, raccorder B et D ensemble au plot. Connecter les extrémités libres aux autres plots de la carcasse utilisée et placer une nouvelle feuille sur ces enroulements.

#### Secondaire + 5 V (3)

Réaliser une feuille de cuivre isolée en plaçant une feuille de papier presspahn sur une face. La plaque a pour dimensions 10" de long (25,4 cm) 5/8" de largeur (1,58 cm) et 2 mil d'épaisseur (0,05 mm) (voir figure 7). Deux feuilles devront être préparées de cette façon. Faire attention à ce que la feuille isolante soit légèrement plus large que la bande de cuivre, de façon à éviter tout risque de court-circuit. Enrouler ensemble ces deux feuilles isolées sur deux tours. Connecter le début (A) de la première couche à l'extrémité (D) de l'autre. Ceci forme le point milieu du +5V. Souder trois fils multibrins de jauge 18, en parallèle, sur chacune des extrémités libres et sur le point milieu. Mettre les fils à plat sur les rubans de cuivre avant de les y souder, afin de réaliser un travail propre. Connecter les sorties des fils en parallèle aux diodes de redressement et au circuit imprimé comme montré figure 3. Enrouler une dernière feuille de papier pour transformateur afin de maintenir l'ensemble des enroulements.

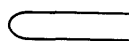
#### T3 : Transformateur de contrôle du débit en courant

Placer les enroulements directement sur le tore. Commencer par bobiner le secondaire en pratiquant 7 tours de fil émaillé jauge 20 sur 10 pouces (25 cm). Réaliser le primaire en soudant 2 fils émaillés de jauge 16 sur le circuit imprimé (figure 3). Enfiler ce faisceau dans le tore. Cela forme un tour primaire. Souder le secondaire, en passant dans le circuit (figure 8).

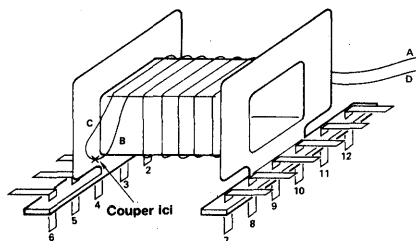
Etape 1 : former un faisceau de 6 fils de jauge 28 en parallèle



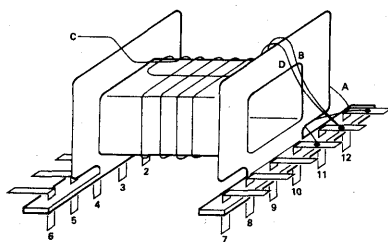
Etape 2 : plier par le milieu



Etape 3 : bobiner sur la carcasse



Etape 4 : connecter les extrémités libres sur les plots N°10 et 12 alors que les extrémités B et D doivent être soudées sur la borne N°11



Enroulements secondaires  $\pm 15$  V  
Figure 6

#### Inductances de sortie

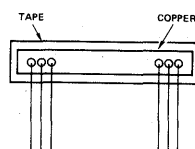
L1 et L2 sont identiques. Bobiner un tour de fil émaillé jauge 18 à travers chaque ferrite et souder les extrémités sur le circuit. L3 comporte aussi un tour mais utiliser trois fils de jauge 18 en parallèle. L4 est une self à air. Bobiner serrés 10 tours de fil de jauge 16 sur une forme de diamètre 5/16 de pouce (0,79 cm).

#### Dissipateurs thermiques

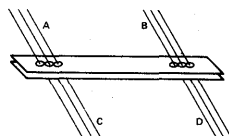
Monter les radiateurs pour TO 3 sur le circuit imprimé en laissant des espaces de 1/4 de pouce (0,63 cm) afin de placer R5—R6—R8 et R19. Des rondelles isolantes ne sont pas nécessaires mais des radiateurs de composition isolante devront être utilisés.

Monter IC4 et IC5 sur leurs radiateurs avec une graisse facilitant l'évacuation thermique. IC5 doit être isolé du radiateur.

Etape 1 : réaliser deux feuilles de cuivre isolées

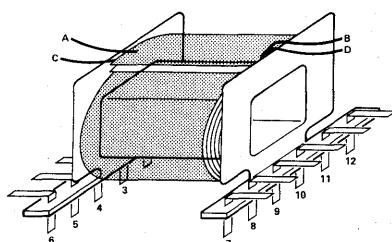


Etape 2 : connecter sur l'autre feuille des fils en parallèle



Etape 3 : enrouler 2 tours de cette double feuille isolée sur la carcasse

Connecter A et D et souder ce point de raccordement sur le circuit  
Connecter les autres extrémités (libres) B et D, aux diodes D11 et D12



Enroulement secondaire + 5V  
Figure 7

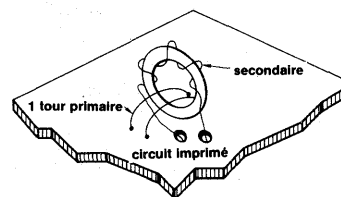
Utiliser des vis métal pour fixer IC4 et IC5. Couper la connexion centrale des deux régulateurs et insérer les autres sorties dans les trous correspondants du circuit.

Les diodes Schottky D11 et D12 sont montées directement sur le radiateur avec un compound thermique. Utiliser des rondelles éventail lorsqu'on raccorde les diodes D11 et D12 au circuit imprimé, afin de réaliser un bon contact électrique.

#### Composants divers

Utiliser des rondelles éventail sur chaque face du CI pour monter C5. Des supports peuvent être utilisés pour fixer IC1, IC2 et le photocoupleur.

Il faut toujours utiliser un transformateur d'isolement lorsqu'on veut connecter un oscilloscope sur le primaire à des fins d'observation des formes d'ondes. Ne pas monter Q3 tant que les procédures de test initiales ne sont pas effectuées.



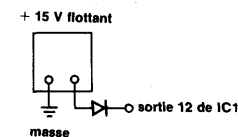
Transformateur de contrôle en courant  
Figure 8

#### Procédures de mise en fonctionnement

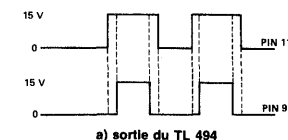
Bien que ce circuit ait été éprouvé, il faut absolument contrôler toute la réalisation avant de mettre sous tension. Pour cela, connecter à travers une diode, un +12V isolé entre la borne 12 de IC1 et la masse (figure 9). A l'aide d'un oscilloscope, vérifier les signaux sur les sorties 9 et 11 de IC1. Ils doivent être en phase, presque carrés et à la fréquence de 100 kHz (figure 10a). Lorsque tout est en ordre, vérifier la commande des VMOS de puissance. Ces signaux doivent être en opposition de phase (figure 10b). Les ondes sur Q7 peuvent présenter quelque dépassement. Alors que Q3 est toujours hors service, connecter un Variac ou une alimentation continue haute tension à l'entrée alternative. Augmenter graduellement cette tension alors que le circuit de contrôle est toujours alimenté à partir du +12V flottant. Lorsque la tension de sortie sur l'enroulement +5V est entre 4,5V et 6,5V, l'alimentation doit commencer à réguler et toute élévation de tension à l'entrée, ne doit pas avoir d'effet sur le niveau de sortie. Aucun courant important ne doit être tiré, à ce stade, sur l'alimentation haute tension. Vérifier les  $\pm 15$  V sur les deux autres sorties.

Pendant que l'on travaille avec l'alimentation +12V séparée sur la borne 12 de IC1 (en utilisant un multimètre flottant), connecter une charge sur le 5V de manière à tirer 1 Ampère. Le potentiel au niveau de la sortie 12 doit passer à 15—20V, si l'enroulement fournissant la tension d'alimentation de la circuiterie de contrôle fonctionne correctement. Si tout est en ordre, retirer l'alimentation 12V de test et mettre Q3 en fonctionnement. En utilisant le Variac ou l'alimentation continue haute tension et un voltmètre flottant (ou un transformateur d'isolement et un voltmètre non flottant), augmenter la tension d'entrée sur la connexion secteur jusqu'à 20V DC ou 40 Veff. Cette tension est suffisante pour délivrer 10—12V sur la borne 12 de IC1. Une charge minimum de 5 $\Omega$  5W sur la sortie 5V doit entraîner, lorsqu'on passe à pleine tension à l'entrée, de 15 à 20V sur cette borne.

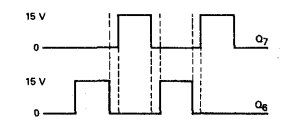
L'alimentation de puissance est maintenant en ordre de marche. Ajuster la tension de sortie à 5V en réglant R10. Ajuster le courant de limitation avec R24 alors que les sorties  $\pm 15$  V débitent à pleine charge et que l'enroulement +5V délivre 25 Ampères. Un courant minimum de 5 Ampères



Procédure de test  
Figure 9



a) sortie du TL 494



b) formes d'ondes sur les gates des VMOS -  
Signaux de commande  
Figure 10

doit être tiré sur le +5V pour pouvoir débiter 1 Ampère sur les  $\pm 15$ V. Le système peut être raccorder au secteur. La seule condition de fonctionnement est de tirer environ 1 Ampère en permanence sur le +5V.

#### Caractéristiques et spécifications de l'alimentation

##### Sortie + 5V

- 20 Ampères en courant de sortie
- 0,2 % de régulation secteur ( $\pm 20$  % de variation secteur)
- 0,4 % de régulation charge (passage sans charge à pleine charge)
- ondulation résiduelle et bruit  $\leq 100$  mV à pleine charge
- temps de réponse  $\leq 0,5$  ms (pas de charge à pleine charge)
- protection contre les surcharges en débit.

##### Sorties $\pm 15$ V

- 1 Ampère sur chaque sortie
- 0,2 % de régulation secteur
- 1 % de régulation charge
- ondulation  $\leq 10$  mV
- courant de court-circuit limité.

#### Caractéristiques du VN 4000 A

- BVDS de 400 V
- Ron  $\leq 1 \Omega$
- ton/toff  $\leq 100$  ns
- pas de second claquage
- aire de sécurité robuste.

Composant	Quantité	Valeur	Fabricant recommandé
Resistors			
R1	1	5.1 K $\Omega$ $\pm$ 5% 1/4 W Resistor	Allen Bradley
R2, R6, R9, R12, R13, R15, R19	7	1 K $\Omega$ $\pm$ 5% 1/4 W Resistor	
R3, R7	2	330 $\Omega$ $\pm$ 10% 1/2 W	
R4	1	33 K $\pm$ 10% 1 W	
R5, R8	2	50 $\Omega$ $\pm$ 5% 1/4 W	
R10	1	500 $\Omega$ $\pm$ 10% Trimpot	
R11	1	1.2 K $\Omega$ $\pm$ 5% 1/4 W	
R14, R17	2	100 K $\Omega$ $\pm$ 5% 1/4 W	
R16, R23	2	470 $\Omega$ $\pm$ 5% 1/4 W	
R18	1	20 K $\Omega$ $\pm$ 5% 1/4 W	
R20	1	18 $\Omega$ $\pm$ 10% 1 W	
R21	1	100 $\Omega$ $\pm$ 5% 1/4 W	
R22	1	180 $\Omega$ $\pm$ 5% 1/4 W	
R24	1	100 $\Omega$ $\pm$ 10% Trimpot	
Capacitors			
C1	1	0.001 $\mu$ F Ceramic Disc	Sprague
C2	1	0.05 $\mu$ F Ceramic Disc	
C3, C14, C16, C17	4	0.1 $\mu$ F, 25 V Ceramic Disc	
C4	1	1.0 $\mu$ F, 25 V Electrolytic	
C5	1	710 $\mu$ F, 200 V Electrolytic (32D)	
C6, C8, C9	3	47 $\mu$ F, 25 V Electrolytic	
C7	1	1.0 $\mu$ F, 400 V TRW-35	
C10, C11	2	2 $\mu$ F, 25 V Tantalum	
C12	1	200 pF Mica	
C13, C19	4	220 $\mu$ F, 10 V Tantalum	
C15	1	5 pF Mica or Ceramic	
C18, C21, C22	3	0.01 $\mu$ F, 5 KV Ceramic	
C19	1	10 $\mu$ F Electrolytic	
C20	1	6.8 $\mu$ F Electrolytic	
Integrated Circuits			
IC1	1	TL494 PWM IC	Texas Instruments
IC2	1	CA3130 Op-Amp	RCA
IC3	1	TL430 Voltage Reference	Texas Instruments

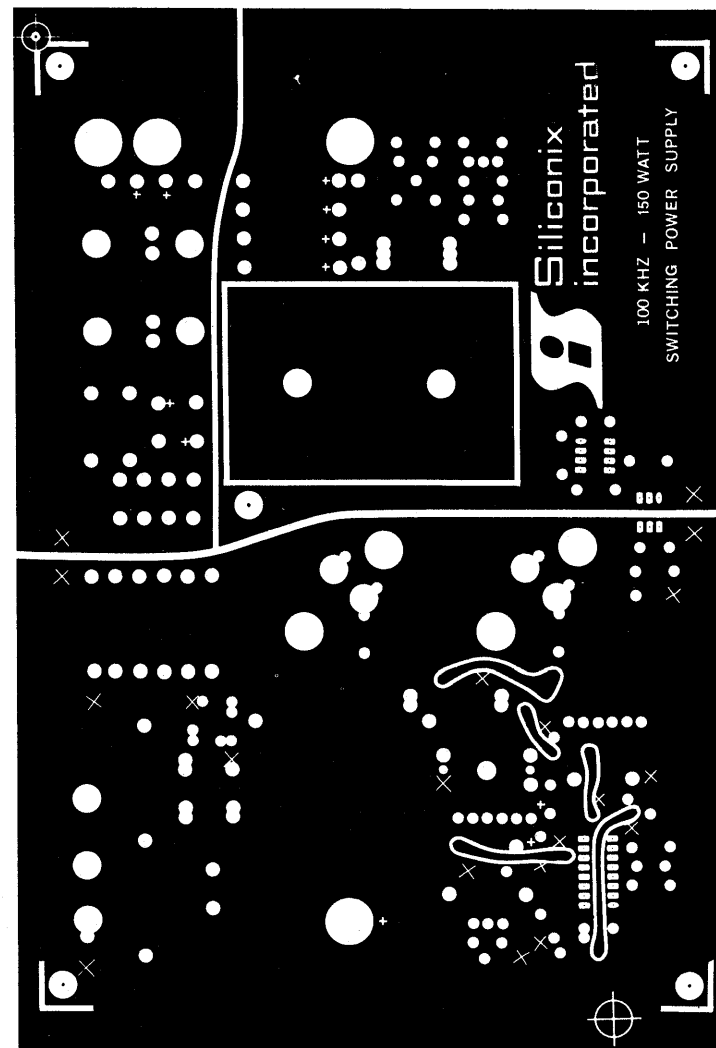
Composant	Quantité	Valeur	Fabricant recommandé
<b>Integrated Circuits (continued)</b>			
IC4	1	$\mu$ A7815UC +15 V Regulator ( $\mu$ A7812UC +12 V)	Fairchild
IC5	1	$\mu$ A7915UC -15 V Regulator ( $\mu$ A7912 -12 V)	Fairchild
<b>Diodes/Rectifiers</b>			
D1, D3-D6, D14, D15	6	1N4148 Diode	Motorola
D2	1	1N4107 Zener	Motorola
D7-D10	4	1N5804 Fast Recovery	Unitrode
D11, D12	2	1N5831 Schottky	Unitrode
D13	4	1N5406 Rectifier	Motorola
D14	1	1N5360 Zener	Motorola
<b>Ferrites &amp; Accessories</b>			
T1	1	F1146-1-06 Pot Core	Indiana General
T1 Bobbin	1	B475-1	Indiana General
T2	1	1R8030-1	Indiana General
T2 Bobbin	1	B680-1	Indiana General
T3	1	BBR7727-1 Toroid	Indiana General
L1, L2	2	F1146-1-TC9	Indiana General
L3	1	F2037-1-TC9	Indiana General
<b>Transistors</b>			
Q1, Q4	2	2N4400	Motorola
Q2, Q5	2	2N4403	Motorola
Q3	1	MPSU10	Motorola
Q6, Q7	2	VN4000A VMOS Power FET	Siliconix
<b>Miscellaneous</b>			
Opto 1	1	H11A1 Opto-Isolator	G.E.
TH1	1	2D754 Thermistor	Midwest Components, Inc.
F1	1	2 A Fast Blow Fuse	Buss
TO-3 Heat Sink	2	LAT03B5CB	IERC
TO-220 Heat Sink	2	LAD66A4CB	IERC
TO-3 P.C. Sockets	4	LSG-3DG2-1	Augat
D11, D12 Heat Sink	1	E240-001	IERC
Output Banana Jacks	5		
3-Wire Line Cord	1		
Fuse Block for F1	1		

Circuit imprimé (vue de dessous)



Echelle : 1/2

Circuit imprimé (vue de dessus)



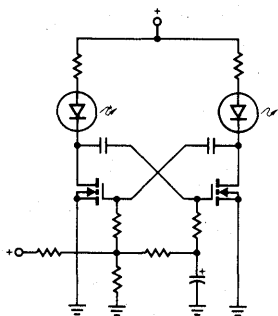
Echelle : 1/2

## Quelques idées d'applications

### Bascule astable avec dispositif de démarrage

Une paire de transistors VMOS non protégés par une zener, une paire de leds, et un simple circuit RC, font un clignoteur séquentiel sans limite de durée de cycle. La période est réglable de l'instantané à plusieurs secondes.

La résistance d'entrée infinie des VMOS permet de très longues périodes, impossibles à obtenir en utilisant des bipolaires. Une précaution doit cependant être prise. Il ne faut pas utiliser des circuits au phénol ou photogravés lorsqu'on désire obtenir de très longues séquences, car ils présentent des résistivités trop faibles.

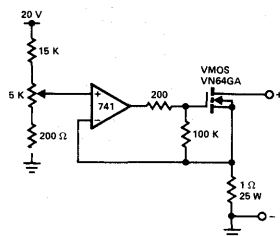


### Générateur de courant haute performance

Un amplificateur opérationnel, un transistor VMOS et une résistance de puissance, sont les seuls composants nécessaires à la réalisation d'un générateur de courant performant réglable.

En faisant varier la tension de sortie entre 0V et la tension de claquage du VMOS on peut à peine décélérer une variation de tension aux bornes de la résistance shunt de 1 Ω.

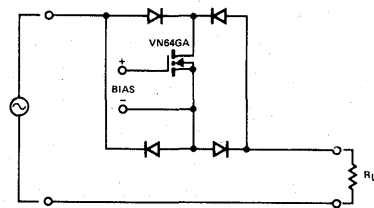
Si le courant est modéré, et si la variation de tension de sortie est grande, il y a lieu de prévoir un bon dissipateur thermique afin de prévenir toute montée excessive de la température.



### Commutateur analogique à un seul VMOS

Il est possible de réaliser un commutateur analogique en utilisant seulement un arrangement de 4 diodes et un VMOS. Le flux de courant est contrôlé par une tension d'enrichissement appliquée par rapport à la tension aux bornes de la charge (voir AN 77-2 pour le mode de fonctionnement). S'assurer que la capacité en courant des diodes de redressement est suffisante et que la tension de claquage du VMOS excède la tension crête du signal analogique à commander.

En augmentant la tension gate-source, le VMOS devient conducteur. Pour des applications autres qu'en blocage-saturation, des précautions doivent être prises au niveau de la puissance dissipée par le VMOS. Dans certains cas, un dissipateur de bonne taille ne sera pas superflu.



### Amplificateur radio fréquence classe E à haut rendement

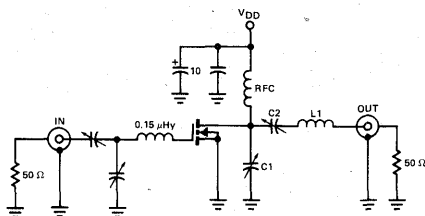
Une amélioration des rendements habituellement atteints est possible en utilisant ce nouveau circuit classe E. Les valeurs ont été calculées au moyen des formules de Sokal publiées dans Electronic Design du 20 septembre 1977.

$$L1 = \frac{Q_L R}{\omega}$$

$$C1 = \left[ \frac{1}{\omega R 5.447} \right] \left[ 1 + \frac{0.81 Q_L}{(Q_L^2 + 4)} \right]$$

$$C2 = \left[ \frac{1}{\omega^2 L_2} \right] \left[ 1 + \frac{1.110}{(Q_L - 1.7879)} \right]$$

Le rendement approche les 90 % à 70 MHz pour une puissance de sortie de 5W. Un Q de 3 a été choisi pour mener les calculs. Un circuit d'adaptation conventionnel a été utilisé à l'entrée. Le VMOS est un VMP4.



TA76-2

## FICHE TECHNIQUE

# VMOS — Une nouvelle technique adaptée aux domaines haute-fréquence

### INTRODUCTION

Depuis trois ans, SILICONIX a développé une nouvelle technologie appelée VMOS qui semble particulièrement adaptée aux applications dans le domaine radio-fréquence à cause de ses caractéristiques de faible bruit et de grande vitesse de commutation. Cette fiche technique n'abordera que quelques applications dans le domaine VHF telles que amplificateurs à large bande, amplificateur grand gain, faible bruit et mélangeurs équilibrés.

### Historique

Utiliser des MOS dans des applications haute fréquence n'est certainement pas nouveau. Nous sommes tous habitués aux MOSFETs double grille, dans les applications petits signaux comme les tuners TV. Cependant, dès les années 60, il est apparu intéressant d'accroître les possibilités en puissance des MOS. C'est ainsi que RCA, sous contrat avec ECOM (1) devait développer un transistor FET de puissance capable de fournir 5 W à 10 MHz. Ils ont dépassé les exigences de leur cahier des charges pour offrir un dispositif 14 W. En 1972, les Russes annoncèrent un MOSFET de puissance appelé DP901A, capable de délivrer 1 W à 100 MHz. Apparemment, il ne fût pas commercialisé. Récemment, pour les applications haute fréquence, une technologie appelée DMOS (MOS Double Diffusion) a été utilisée en avant-garde au Japon et commercialement développée par SIGNETICS. Elle a permis d'obtenir des gains HF plus importants et de plus faibles facteurs de bruit (2). Cependant, la technologie DMOS, comme la tentative RCA et l'expérience russe, n'ont jamais offert les capacités en puissance des VMOS, simplement parce que les dispositifs utilisaient un « canal de surface », c'est-à-dire que la source, la gate et le drain sont du même côté du chip.

La technologie VMOS ne présente pas ces handicaps parce que le canal de conduction est vertical, le drain et la source sont de part et d'autre de la puce, permettant ainsi d'augmenter la densité du courant (3).

Plusieurs laboratoires ont développé une structure verticale MOS, mais pour des besoins autres que le domaine haute fréquence (4,5). Seulement WESTINGHOUSE et SILICONIX ont suivi cette voie pour couvrir un large champ d'application incluant le domaine VHF (6,7).

### Pourquoi les VMOS ?

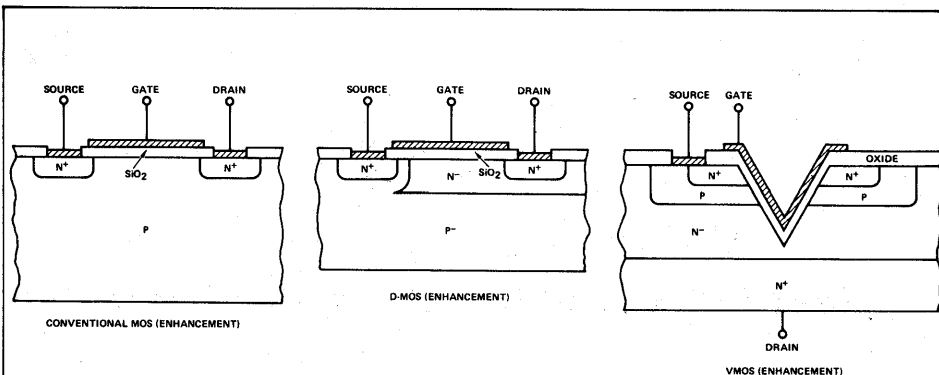
Les ingénieurs d'études connaissent les limitations de base des transistors bipolaires, c'est-à-dire l'emballement thermique et le second claquage. Chacun connaît aussi les graphiques donnant l'aire minimum de sécurité de fonctionnement que l'on retrouve dans les fiches techniques des transistors bipolaires. Les spécialistes HF sont aussi avertis de la susceptibilité de claquage des bipolaires quand les circuits présentent des impédances de charges très désaccordées. Avec la technologie VMOS, on élimine les problèmes d'emballement thermique, de second claquage et les temps de stockage des porteurs minoritaires. Elle offre au concepteur, la possibilité de réaliser des amplificateurs de classe D, E et F.

### Qu'est-ce qu'un VMOS ?

VMOS est l'appellation générale donnée au dispositif MOS vertical. Le MOS conventionnel présente sur la même surface du chip semi-conducteur la source, la gate et le drain. Le VMOS a la source opposée au drain, tout comme le collecteur est opposé à l'émetteur dans un transistor bipolaire pour optimiser le transfert de chaleur.

Le courant circule de la source au drain le long des deux cotés de l'entaille en V qui a été réalisée par attaque chimique, quand la gate est polarisée positivement. Le VMOS est un MOSFET du type à enrichissement maintenant connu pour sa fiabilité (un rapport préliminaire de fiabilité existe).

La figure 1 montre une comparaison des structures VMOS, DMOS et MOS conventionnelles.



Les différentes structures VMOS  
du type à enrichissement  
Figure 1

### Caractères particuliers du VMOS

Une des principales qualités du VMOS est de posséder un très court canal. Cela permet de saturer rapidement le dispositif, ce qui entraîne une caractéristique de transfert linéaire. Le MOS conventionnel et le JFET suivent une loi quadratique, c'est-à-dire que le courant drain est proportionnel au carré de la tension gate. Cette rapidité de saturation se produit à un certain courant de repos drain, au-delà duquel la transconductance reste inchangée.

On pense souvent à tort au sujet des MOSFETs qu'ils ne peuvent travailler en ampli RF large bande à cause de leur Q élevé ou, en d'autres termes, parce que ce sont des transistors haute impédance. Il n'en est pas ainsi avec les VMOS. En source commune, l'impédance d'entrée (gate) a environ un ordre de grandeur de plus que celle du transistor bipolaire conventionnel de puissance. Ainsi, au lieu d'avoir des centaines d' $\Omega$  comme dans les MOSFETs, ou des dizaines d' $\Omega$  comme dans les bipolaires VHF de puissance, les VMOS présentent des impédances d'entrées de quelques dizaines d' $\Omega$ . Par ailleurs, on remarque que les paramètres S du VMOS restent inchangés en fonction de la puissance RF appliquée qui peut aller de quelques microwatts pour les étages préamplificateurs, à quelques watts dans les étages de puissance moyenne. Actuellement, le VMOS développé par SILICONIX pour les applications radiofréquence — le VMP 4 — offre un FT relativement faible (un peu au-dessous de 600 MHz), mais aussi un fort gain, que l'ingénieur d'études n'a pas l'habitude de rencontrer avec la plupart des transistors bipolaires.

Une autre caractéristique très intéressante, est le faible facteur de bruit qui peut être attribué, au fait que le VMOS, contrairement au MOS planar conventionnel, n'a pas ce que l'on appelle « l'effet de surface ». En conséquence, la

structure VMOS offre un facteur de bruit, meilleur qu'une structure DMOS.

### Applications des VMOS

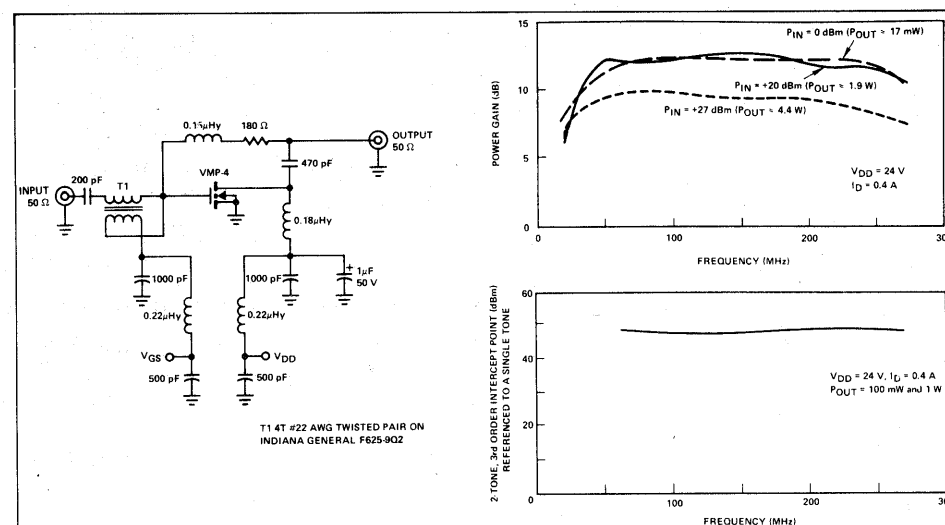
Depuis que SILICONIX a introduit les VMOS, des myriades d'applications s'ouvrent à eux. Nous en donnerons quelques unes utilisant le VMP 4 et les dispositifs JEDEC ou plastiques dans le domaine des radiofréquences.

#### Amplificateur VHF large bande (8)

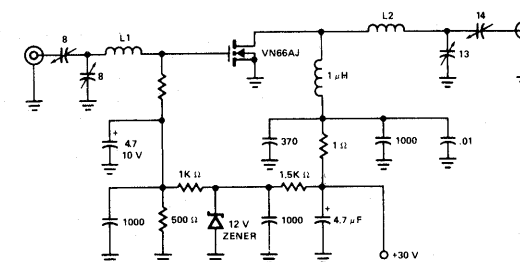
Un amplificateur de puissance à large bande comprenant un seul étage pour montrer qu'il est facile d'accorder l'entrée en large bande. Il offre, avec une contre réaction de correction de gain, un gain en puissance constant de 12 dB sur toute une plage s'étendant jusqu'à 200 MHz, comme le montre la figure 2. Le haut point d'interception (+ 47 dBm) fait que cet amplificateur convient bien comme étage de puissance linéaire mais est aussi adapté comme étage d'entrée non accordé d'un récepteur VHF. Le circuit utilise le VMP 4 qui se présente en boîtier stripline — boîtier 380-SOE.

#### Amplificateur pour radio-amateur à 146 Mhz ( $\lambda = 2$ m) (9)

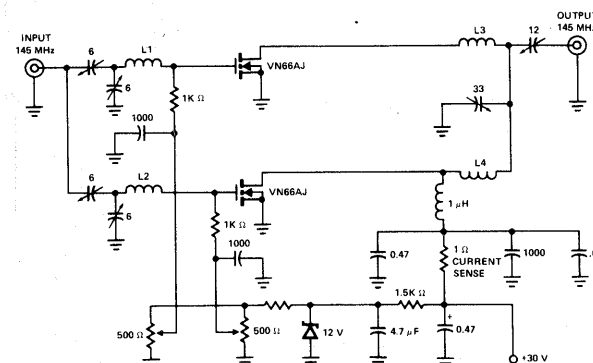
En utilisant un simple VMOS, de type VN66AJ, se présentant en boîtier TO.3, d'excellents résultats furent obtenus avec un ampli fonctionnant à 146 MHz et capable de fournir une puissance de sortie de 5 W crête et ayant des produits d'intermodulation de 2<sup>e</sup> et 3<sup>e</sup> ordre à - 30 dB. Cet amplificateur présente aussi un facteur de bruit de 2,4 dB quand il est utilisé en étage d'entrée. Avec deux VN66AJ montés en parallèle, la puissance de sortie est presque doublée. De nouveau, les deux termes des produits d'intermodulation sont à - 30 dB. Le montage est celui de la figure 3.



Amplificateur large bande avec les courbes mesurées  
Figure 2



Amplificateur 146 Mhz ( $\lambda = 2$  m) pour radio-amateur  
utilisant un VMOS VN66AJ  
Figure 3A



Amplificateur 146 Mhz ( $\lambda = 2$  m) pour radio-amateur  
utilisant deux VMOS VN66AJ montés en parallèle  
Figure 3B

### Amplificateur de puissance neurodyne fonctionnant à 200 MHz

La figure 4 montre un amplificateur qui offre un gain mesuré de 18 dB qui est près de celui que l'on calcule avec les paramètres S (gain théorique 19,2 dB). Les deux poles sont accordés sur 50 Ω et le facteur de bruit mesuré à 200 MHz est de 2,5 dB.

### Mélangeur équilibré

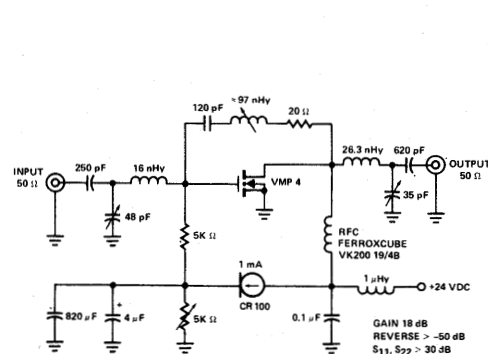
Avec leur grande gamme dynamique, les VMOS peuvent être utilisés en lieu et place des diodes ou des JFET conventionnels dans les mélangeurs (10), comme la montre la figure 5 qui présente le schéma d'un double mélangeur équilibré simple alternance.

### La prochaine étape

Les MOS de puissance deviendront le semi-conducteur prédominant dans les cinq années à venir. Beaucoup de technologies différentes ont déjà été développées comme le procédé Hitachi (11) à plusieurs couches planar verticales, lequel est limité dans les applications haute fréquence, ou comme le procédé Westinghouse (12) bien adapté aux hautes fréquences, ou comme les nombreuses investigations faites en université (13) ou chez d'autres constructeurs. On peut conclure en affirmant que les efforts importants faits par SILICONIX dans l'étude de cette technologie nouvelle permettront très rapidement d'obtenir des fréquences encore plus élevées qui sont celles des télécommunications.

### Référence

1. R. & D. Technical Report, ECOM-02117-F (AD-83219), February, 1968.
2. H.J. DSigg, Etal, "DMOS Transistor for Microwave Applications", IEEE Trans. Electron Devices, Vol. ED-19, pp. 45-53, January 1972.
3. Isao Yoshia, Etal "A High Power MOSFET with a Vertical Drain Electrode and Meshed Gate Structure", IEEE Journal of Solid-State Circuits, Vol. SC-11, pp. 472-477, August, 1976.
4. IBID.
5. T.J. Rogers & James D. Meindi, "VMOS : High-Speed TTL Compatible MOS Logic" IEEE Journal of Solid-State Circuits, Vol. SC-9, pp. 239-250, October, 1974.
6. J. G. Oakes, Etal, "A Power Silicon Microwave MOS Transistor", IEEE Trans. Microwave Theory & Techniques, Vol. MTT-24, pp. 305-311, June, 1976.
7. M.K. Vander Kool & Larry Ragle, "MOS Moves Into Higher-Power Applications", Electronics, Vol. 49, pp. 98-103, June 24, 1976.
8. To be published in Ham Radio, December, 1976.
9. L. Leighton, "Two-Meter Transverter Using Power FET's", Ham Radio, Vol. 9, pp. 10-15, september 1976.
10. E. Oxner, "Active Double-Balanced Mixers Made Easy with Junction FET's", EDN, Vol. 19, pp. 47-53, July 5, 1974.
11. Op. cit., "A High Power MOSFET with a Vertical Drain Electrode..."
12. T.M.S. Heng, Etal, "Vertical Channel Metal-Oxide-Silicon FET", Annual Report Westinghouse Research Laboratories, November 1, 1974, ONR Contract N00014-74-C-0012.
13. T.D. Mok & C.A.T. Salama, "The Characteristics & Applications of a V-Shaped Notched-Channel FET (VFET)", Solid-State Electronics, Vol. 19, pp. 159-166, April, 1976.



Amplificateur de puissance neurodyne fonctionnant à 200 MHz  
Figure 4

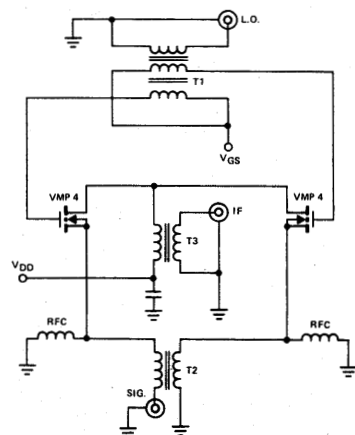
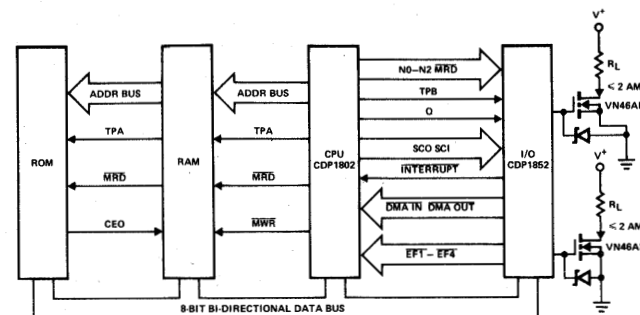


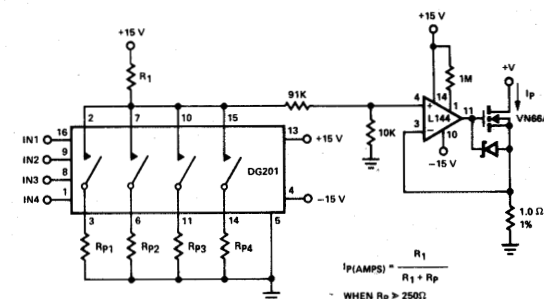
Schéma d'un double mélangeur équilibré simple alternance  
Figure 5

### Quelques idées d'applications

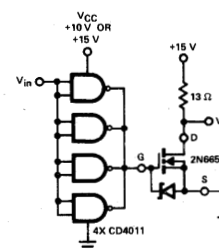
#### Interface pour microprocesseur CDP 1802



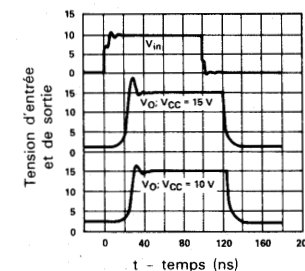
#### Atténuateur de courant programmable T.T.L.



#### Commutateur rapide compatible CMOS



#### Performances du commutateur rapide CMOS



## BIBLIOGRAPHIE

Author	Title
Barlage, F.M.	"A New Switched-Mode Converter Technique Combines VMOS and Bipolar," <i>POWERCON 5</i> (1978) pg. D2-1 = D2-8.
_____	"Exploit VMOS FET's Advantage to Drive Bipolar Power Transistors," <i>EDN</i> (Nov. 5, 1978) pg. 93-98.
Bierhenke, H. & Herbst, H.	"Comparison of the Switch-On Behavior of MOS-Transistors of Different Technologies," <i>AEU</i> , Band 31 (1977), Heft 1 (West Germany)
DeMaw, Doug	"An Experimental VMOS Transmitter," <i>QST</i> (May, 1979) pg. 18-22.
Evans, A., etal.	"High Power Ratings Extend VMOS FET Domination," <i>ELECTRONICS</i> (June 22, 1978) pg. 105-112.
Fabian, M.	"Performance in Power FETs," <i>NEW ELECTRONICS</i> (Feb. 1976) [U.K.]
Fuoss & Verma	"A Fully Implanted V-Groove Power MOSFET," <i>IEDM Digest of Technical Papers</i> (1978).
Frey, G.	"VMOS Power Amplifiers," <i>EDN</i> (Sept. 5, 1977) pg. 83-85.
Greenreich, E.	"Theoretical Considerations on the Effects of Bulk Charge on VMOST Characteristics," <i>IEEE Trans. ELECTRON DEVICES</i> (May, 1979) pg. 807-810.
Hayward, W.	"A VMOSFET Transmitter for 10 Meters CW," <i>QST</i> (May, 1979), pg. 23-26.
Hoffman, D.	"Designing a VMOS 250 Watt Off-Line Inverter," <i>POWERCON 5</i> (1978) pg. G1-1 = G1-5.
_____	"A Microprocessor-Controlled VMOS Power Supply," <i>POWERCON 6</i> (1979), pg. H1-1 = H1-8.
Leighton, etal.	"HF Power Amplifier Design Using VMOS Power FETs," <i>RF Design</i> (January, 1980) pg. 32-37.
Oakes, J., etal	"A Power Silicon Microwave MOS Transistor," <i>IEEE Trans. MICROWAVE THEORY &amp; TECHNIQUES</i> (June, 1976) pg. 305-311.
Oxner, E.	"Power FETs," <i>WIRELESS WORLD</i> (May, 1977) pg. 74-76.
_____	"VMOS: A New Technology Takes On HF Power Bipolars," <i>MSN</i> (Oct./Nov., 1976) pg. 107-110.
_____	"Mospower FET as a Broadband Amplifier," <i>HAM RADIO</i> (Dec. 1976), pg. 32-34.
_____	"Will VMOS Replace Bipolars in HF Systems?" <i>EDN</i> (June 20, 1977), pg. 71-76.

## BIBLIOGRAPHIE

Author	Title
_____	"Meet the VMOSFET Model," <i>RF DESIGN</i> (Jan./Feb., 1979), pg. 16-22.
_____	"Build a Broadband Ultralinear VMOS Amplifier," <i>QST</i> (May, 1979), pg. 23-26.
_____	"Integrated Circuits," <i>1979 YEARBOOK OF SCIENCE &amp; TECHNOLOGY</i> , McGraw-Hill Book Co. (1979), pg. 233-235.
Pelly & Zansky	"Using High Voltage Power MOSFETs in Off-Line Converter Applications," <i>POWERCON 6</i> (1979), pg. C2-1 = C2-13.
Roehr, W.	"VMOS — A Giant Step Toward the Ideal," <i>CANADIAN ELECTRONICS ENGINEERING</i> (May 1979), pg. 38-40.
Regan, P.	"New VMOS Technology Threatens Bipolar Supremacy," <i>ELECTRONIC ENGINEERING</i> (Feb. 1977) pg. 40-41 [U.K.]
_____	"Working With VMOS Power FETs," <i>ELECTRONICS WEEKLY</i> , 6 parts (March 22, 29, April 5, 12, 19, 26, 1978) [U.K.]
Sampei, T. etal.	"100 Watt Super Audio Amplifier Using New MOS Devices," <i>IEEE Trans. CONSUMER ELECTRONICS</i> , (August, 1977).
Yoshida, I., etal.	"A High Power MOSFET with a Vertical Drain Electrode and a Meshed Gate Structure," <i>IEEE Jour. SOLID STATE CIRCUITS</i> (Aug. 1976), pg. 472-477.



# Siliconix

70, AVENUE DU GÉNÉRAL DE GAULLE

ÉCHAT 660 - 94022 CRÉTEIL CEDEX

Télex : SILCONIX 230389 F - ☎ 377-12.51

## *Distributeurs en France*

### **ALMEX**

48, rue de l'Aubépine  
92160 - Antony  
Tél. : 666.21.12  
Télex 250067

### **SCAIB**

80, rue d'Arcueil  
Silic 137  
94523 Rungis Cedex  
Tél. : 687.23.13  
Télex 330174

### **APPLICATION ÉLECTRONIQUE**

Rue de Broussan  
39800 - Garons  
Tél. : (66) 20.07.77  
Télex 480569

10, rue du Chapeau Rouge  
31300 - Toulouse  
Tél. : (61) 42.64.28  
Télex 520815

### **ALRODIS**

40, rue Villon  
69008 - Lyon  
Tél. (78) 69.59.52  
Télex 330174

### **SANELEC**

7, rue de la Couture  
ZI de la Pilaterie  
59700 Marcq en Baroeul  
Tél. (20) 98.92.13  
Télex 160143

### **BALTZINGER**

18-26, route du Général de Gaulle  
67300 - Schiltigheim  
Tél. (88) 33.18.52  
Télex 870952

11, avenue Foch  
57000 - Metz  
Tél. (87) 74.42.24

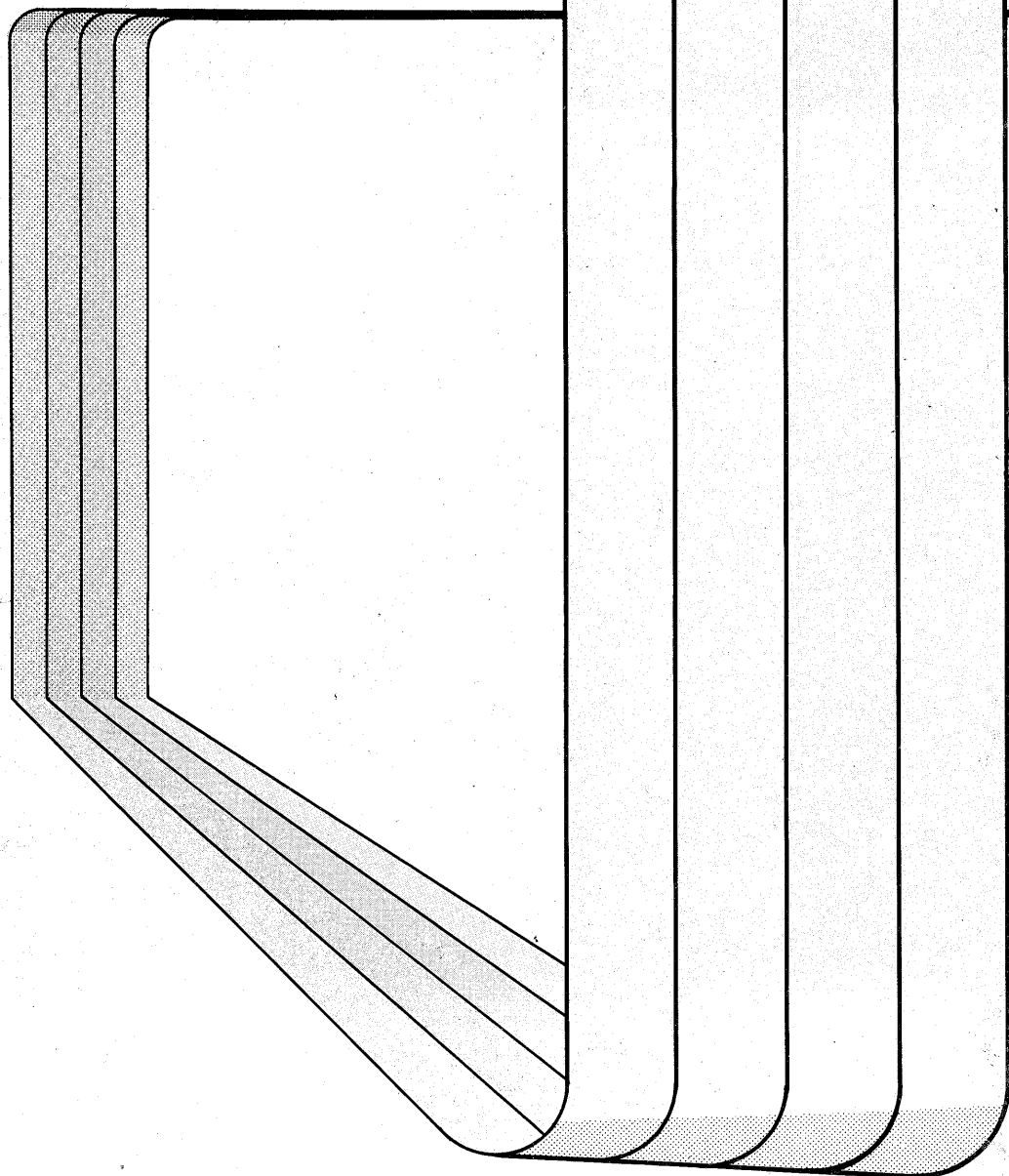
61-63, rue de la Justice  
54320 Maxeville  
Tél. (83) 35.97.97

Avenue de Belgique  
68110 Illzach  
Tél. : (89) 44.72.41

### **QUEST COMPOSANTS**

BP 3209  
35013 - Rennes Cedex  
57, rue Manoir de Servigné  
ZI route de Lorient  
35000 Rennes  
Tél. (99) 54.01.53  
Télex 740311

HERRY 283-58.81  
Imprimerie de Mormant - 77720



# **Silconix**

70, av. du Gal de Gaulle - Echat 660

**94022 Créteil Cédex**

Télex : Silconix 230 389 F - Tél. : 377.12.51